

Прикарпатський національний університет імені Василя Стефаника  
Міністерство освіти і науки України  
Прикарпатський національний університет імені Василя Стефаника  
Міністерство освіти і науки України

Кваліфікаційна наукова  
праця на правах рукопису

**Бенько Тарас Григорович**

УДК 621.382.592

**ДИСЕРТАЦІЯ**  
**ІНТЕГРАЛЬНІ ПЕРЕТВОРЮВАЧІ СИГНАЛІВ ДЛЯ**  
**СЕНСОРНИХ МІКРОСИСТЕМ-НА-КРИСТАЛІ ЗІ СТРУКТУРАМИ**  
**КРЕМНІЙ-НА-ІЗОЛЯТОРІ.**

171 Електроніка

17 Електроніка та телекомунікації

Подається на здобуття наукового ступеня доктора філософії

Дисертація містить результати власних досліджень. Використання ідей,  
результатів і текстів інших авторів мають посилання на відповідне джерело

\_\_\_\_\_ Т.Г.Бенько

Науковий керівник:  
доктор технічних наук,  
професор Когут Ігор Тимофійович

## АНОТАЦІЯ

*Бенько Т.Г.* Інтегральні перетворювачі сигналів для сенсорних мікросистем-на-кристалі зі структурами кремній-на-ізоляторі. – Кваліфікаційна наукова праця на правах рукопису.

Дисертація на здобуття наукового ступеня доктора філософії в галузі знань 17 Електроніка та телекомунікації за спеціальністю 171 Електроніка – Прикарпатський національний університет імені В.Стефаника, Івано-Франківськ, 2024.

Дисертаційна робота присвячена розробленню і дослідженню елементної бази сенсорних мікросистем-на-кристалі зі структурами кремній-на-ізоляторі, а саме інтегральних перетворювачів сигналів (ІПС) фізичних величин на основі комплементарних метал-окисел-напівпровідникових (КМОН)-структур та структур кремній-на-ізоляторі (КНІ) і призначених для отримання й безпосереднього опрацювання первинної інформації на кристалі мікросистем сенсорного типу чи інтелектуальних сенсорів.

Обґрунтування актуальності обраної теми дисертаційного дослідження, мета дослідження, основні завдання, наукова новизна і практична цінність роботи висвітлені у вступі.

У першому розділі в процесі аналізу літературних джерел розглянуто мікроелектронні технології для формування елементної бази сенсорних мікросистем-на-кристалі, зокрема, проаналізовано можливості використання арсенід-галієвих інтегральних структур. Значний інтерес для цієї мети становлять стандартні КМОН-структури на основі об'ємного кремнію. Проте більш перспективними для створення інтегральних перетворювачів сигналів (ІПС) є структури кремній-на-ізоляторі. Параметри первинних чутливих елементів у мікросистемах-на-кристалі сенсорного типу визначаються змінами фізичних властивостей як матеріалів, так і від впливу досліджуваного середовища, напр., зміною імпедансу, ємності, константами пружності, орієнтаційними ефектами інтегральних елементів мікросистеми. І можливості сенсорів з цієї точки зору визначаються можливостями первинних складових

сенсорів - первинних чутливих елементів, перетворювачів. Показано, що структури кремній-на-ізоляторі порівняно з іншими мають ряд суттєвих переваг як конструктивний матеріал для проектування елементів ІПС, так і володіють значно кращими характеристиками, порівняно з КМОН-структурами за параметрами швидкодії, радіаційної стійкості, температурного діапазону, споживаної потужності, можливостей створення тривимірних приладних структур.

Другий розділ присвячений дослідженням властивостей та характеристик матеріалів зі структурою «кремній-на-ізоляторі» з точки зору використання у створенні інтегральних перетворювачів сигналів для мікросистемних використань. Зокрема, було досліджено характеристики магнітоору полікристалічних кремнієвих плівок в структурах типу «напівпровідник-на-ізоляторі», а також частотні характеристики вказаних структур. Ці результати показують можливості створення інтегральних перетворювачів реєстрації магнітних полів за наднизьких температур.

Результати досліджень п'єзоелектричного опору в нерекристалізованих і рекристалізованих шарах полікремнію-на-ізоляторі свідчать про те, що для розробки сенсорів механічних величин, які мають достатню тензочутливість до вимірюваного параметра, необхідно використовувати лазерно-рекристалізовані шари полікремнію-на-ізоляторі з концентрацією р-типу провідності  $4,8 \times 10^{18} \text{ см}^{-3}$  при  $300^\circ\text{K}$ .

Запропоновано метод зменшення динамічної потужності базової схеми КМОН – інвертора шляхом введення у вихідне коло інвертора двох додаткових послідовно-з'єднаних р- і n- канальних МОН- транзисторів, з окремим керуванням у моменти наростання і спадання фронтів вхідних логічних сигналів, що дозволяє зменшити динамічну потужність до 78% порівняно із базовою схемою інвертора. Це буде вигідним для побудови цифрових елементів ІПС, особливо, потужних, напр., для зовнішнього інтерфейсу вихідних каскадів мікросистем-на-ізоляторі.

У третьому розділі розроблено схемотехнічні рішення базових елементів

ІПС з використанням матричних комірок на основі як КМОН-, так і КНІ КМОН - технологій, наведено результати їх приладно-технологічного та схематопологічного моделювання й параметричної оптимізації. Запропоновано схемотехнічні рішення інтегральних елементів на основі КМОН- інверторів для реєстрації змін надмалих ємностей як зі стандартним, так і подвійним керуванням підканалною областю в КНІ МОН - транзисторах. Проведено їх комп'ютерне схемотехнічне моделювання з урахуванням конструктивних параметрів КМОН-транзисторів, інтегральних чутливих елементів резистивного та ємнісно-індуктивного типів. Такі елементи можуть бути використані як сенсорні безпосередньо вбудованими в мікросистему-на-кристалі чи реєстрації зовнішніх впливів або як елементи для самотестування мікросистеми-на-кристалі сенсорного типу. Схемотехнічне комп'ютерне моделювання інтегральних ємнісних сенсорів, вбудованих безпосередньо в мікросистему-на-кристалі показало можливість їх використання для реєстрації і дослідження змін надмалих величин ємностей чутливих елементів в межах 0.1-1.0 пФ, що співрозмірно із паразитними ємностями затворів КМОН-транзисторів.

Проведено схематопологічне моделювання ІПРС і показано що такі перетворювачі зі структурами КНІ порівняно зі стандартними КМОН-структурами мають покращені температурні та часові характеристики та є придатними для проектування ІПС, інтелектуальних сенсорів та сенсорних мікросистем-на-кристалі.

У четвертому розділі розроблено інтегральні пристрої для зовнішнього інтерфейсу мікросистеми-на-кристалі, цифрової та математичної обробки і перетворення сигналів для мікросистемних використань. Зокрема, проведено схемотехнічне комп'ютерне моделювання електричних, часових температурних та енергетичних характеристик розроблених КНІ КМОН програмованих вихідних буферних каскадів для сенсорних мікросистем-на-кристалі безпосередньо із їх топології, запропоновано рекурсивні інтегральні пристрої сортування бінарних даних, розроблено і проведено моделювання інтегральних

пристроїв піднесення чисел до квадрату на блоках ПЛІС, як елементах мікросистем-на-кристалі. Показано перспективи використання сенсорних мікросистем-на-кристалі для створення спеціалізованих сенсорних пристроїв.

Спроектовано аналогічні між собою топології вхідних каскадів аналітичної мікросистеми-на-кристалі як на основі об'ємних КМОН-структур, так і на основі КНІ КМОН-структур. Проведено їх схемотопологічне моделювання. Показано, що вихідні каскади на КНІ-структурах мають меншу затримку вихідного сигналу відносно вхідного (4 пс та 7 пс відповідно) та меншу споживану потужність (6,89 мВт та 8,88 мВт відповідно) порівняно з об'ємною КМОН-технологією.

В результаті використання просторово – часової методики в роботі побудовано структури базового та мінімізованого рекурсивних пристроїв та зроблена порівняльна оцінка швидкодії та апаратних затрат за допомогою синтезу даних пристроїв на ПЛІС. Отримані результати синтезу моделей базового та мінімізованого рекурсивних пристроїв, які дають змогу зробити висновки, що дані пристрої мають майже однакову швидкодію, а по затратам обладнання кращі результати дають мінімізовані рекурсивні пристрої сортування. Вказані пристрої можуть мати використання у комплексі з інтегральними перетворювачами сигналів для мікросистемних використань та в цілому розширяють елементну базу.

**Ключові слова:** сенсорна мікросистема-на-кристалі, інтегральні перетворювачі сигналів, сенсорні елементи, базова матрична комірка, КМОН - структури, структури «кремній-на-ізоляторі», КНІ МОН - транзистор, схемо-технічне моделювання.

## SUMMARY

*Benko T.G.* Integral signal converters for sensor microsystems-on-chip.– Qualifying Scientific Work on the Rights of Manuscript.

Dissertation submitted for the degree Doctor of Philosophy in the field of knowledge 17 Electronics and telecommunications on the specialty 171 Electronics. – Vasyl Stefanyk Precarpathian National University, Ivano-Frankivsk, 2024.

The dissertation is devoted to the development and research of the element base of sensor microsystems-on-chip, namely, integral converters of signals of physical quantities based on complementary metal-oxide-semiconductor (CMOS) structures and silicon-on-insulator (SOI) structures and intended for obtaining and direct processing of primary information on the chip of sensor-type microsystems or intelligent sensors.

The introduction highlights the relevance of the chosen topic of the dissertation research, the purpose of the research, the main tasks, the scientific novelty and the practical significance of the work.

In the first chapter, in the process of analyzing literary sources, microelectronic technologies for the formation of the element base of sensor microsystems-on-chip were considered, in particular, the possibilities of using arsenide-gallium integrated structures were analyzed. Standard CMOS structures based on bulk silicon are of considerable interest for this purpose. However, silicon-on-insulator structures are more promising for creating integrated signal converters. The parameters of the primary sensitive elements in microsystems-on-chip are determined by changes in the physical properties of both materials and the influence of the studied environment, e.g., changes in impedance, capacitance, elasticity constants, orientational effects of integral elements of the microsystem. And the capabilities of sensors from this point of view are determined by the capabilities of primary components of sensors - primary sensitive elements, transducers. It is shown that silicon-on-insulator structures compared to others have a number of significant advantages as a structural material for designing elements of integral signal converters, and have significantly better characteristics, compared to CMOS structures, in terms of speed, radiation resistance, temperature range, power consumption, possibilities of creating three-dimensional instrument structures.

The second chapter is dedicated to researching the properties and characteristics of materials with a "silicon-on-insulator" structure from the point of view of use in the creation of integrated signal converters for microsystem applications. In particular, the magnetotor characteristics of polycrystalline silicon films in

semiconductor-on-insulator structures, as well as the frequency characteristics of these structures, were investigated. These results show the possibility of creating integrated converters for recording magnetic fields at low temperatures.

The results of piezoelectric resistance studies in non-recrystallized and recrystallized polysilicon-on-insulator layers indicate that for the development of sensors of mechanical quantities that have sufficient strain sensitivity to the measurement parameter, it is necessary to use laser-recrystallized polysilicon-on-insulator layers with a concentration of p- conductivity type  $4,8 \times 10^{18} \text{ cm}^{-3}$  at 300°K.

A method of reducing the dynamic power of the basic circuit of the CMOS inverter is proposed by introducing into the output circuit of the inverter two additional series-connected p- and n-channel MOS transistors, with separate control at the moments of rising and falling edges of the input logic signals, which allows to reduce the dynamic power up to 78% compared to the basic inverter scheme. This will be beneficial for the construction of digital ICS elements, especially powerful ones, for example, for the external interface of output stages of microsystems-on-chip.

In the third chapter, the circuit solutions of the basic elements of integral signal converters using matrix cells based on both CMOS and SOI CMOS technologies are developed, the results of their instrumentation-technological and circuit-topological modeling and parametric optimization are given. Schematic solutions of integrated elements based on CMOS inverters are proposed for recording changes in ultra-small capacitances with both standard and double control of the subchannel region in SOI MOS transistors. Their computer circuit modeling was carried out taking into account the design parameters of CMOS - transistors, integral sensitive elements of resistive and capacitive-inductive types. Such elements can be used as sensors directly embedded in a microsystem-on-chip or for recording external influences or as elements for self-testing of a microsystem-on-chip. Schematic computer modeling of integrated capacitive sensors built directly into the microsystem-on-chip showed the possibility of their use for registration and research of changes in the ultra-small

values of the capacitances of sensitive elements in the range of 0.1-1.0 pF, which is commensurate with the parasitic capacitances of the gates of CMOS transistors.

Circuit topological modeling of ICLS was carried out and it was shown that such converters with SOI structures compared to standard CMOS structures have improved temperature and time characteristics and are suitable for designing ICS, intelligent sensors and sensor microsystems-on-a-crystal.

In the fourth chapter, integrated devices for the external microsystem-on-chip interface, digital and mathematical processing and signal conversion for microsystem uses are developed. In particular, circuit engineering computer modeling of the electrical, time-temperature, and energy characteristics of the programmable output buffer stages developed by SOI CMOS for sensor microsystems-on-chip directly from their topology was carried out, recursive integrated devices for sorting binary data were proposed, and simulations of integral devices for raising numbers were developed and carried out to the square on PLIC blocks, as elements of microsystems-on-chip. The prospects of using sensor microsystems-on-chip to create specialized sensor devices are shown.

Similar topologies of the input cascades of the analytical microsystem-on-chip are designed both on the basis of bulk CMOS-structures and on the basis of SOI CMOS-structures. Their schematic topological modeling was carried out. It is shown that the output cascades on SOI-structures have a lower delay of the output signal relative to the input (4 ps and 7 ps, respectively) and lower power consumption (6.89 mW and 8.88 mW, respectively) compared to bulk CMOS technology.

As a result of the use of the spatio-temporal method, the structures of the basic and minimized recursive devices were built and a comparative assessment of performance and hardware costs was made using the synthesis of device data on the PLIC. The obtained results of the synthesis of the models of the basic and minimized recursive devices, which allow us to conclude that these devices have almost the same speed, and in terms of equipment costs, the best results are given by minimized recursive sorting devices. These devices can be used in combination with integrated



signal converters for microsystem applications and will generally expand the element base.

**Key words :** sensor microsystem-on-a-chip, integrated signal converters, sensor elements, basic matrix cell, CMOS structures, "silicon-on-insulator" structures, SOI MOS-transistor, circuit-technical modeling.

## СПИСОК ОПУБЛІКОВАНИХ ПРАЦЬ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

### *Статті, що індексується в міжнародних наукометричних базах:*

1. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Yuriy Khoverko. Method of reducing CMOS inverter switching energy // Applied Nanoscience (Switzerland). 2023. V. 13, Issue 12. P. 7501-7511.

DOI: [10.1007/s13204-023-02929-9](https://doi.org/10.1007/s13204-023-02929-9)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85167511707&origin=resultslist>

2. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Yuriy Khoverko. Development of Inverter Circuits with Dual Control Subchannel Areas of Integral CMOS Sensor Element // Physics and Chemistry of Solid State, 2021. P. 729-733.

DOI: [10.15330/PCSS.22.4.729-733](https://doi.org/10.15330/PCSS.22.4.729-733)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85122241374&origin=resultslist>

3. Novosiadly S.P. Benko T.H. Kogut I.T. Features of electrophysical diagnostics of schottky field transistors based on GaAs epitaxial layers on silicon substrates for microsystem applications\_// Physics and Chemistry of Solid State. 2019. V. 20, N. 3. P. 311-317.

DOI: [10.15330/pcss.20.3.311-317](https://doi.org/10.15330/pcss.20.3.311-317)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85147471180&origin=resultslist>

4. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Yuriy Khoverko. Simulation an integrated sensor as an element of CMOS inverter // Experience of Designing and Application of CAD Systems in Microelectronics. 2021. Article number 9385245. P. 15-18.

DOI: [10.1109/CADSM52681.2021.9385245](https://doi.org/10.1109/CADSM52681.2021.9385245)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85104519283&origin=resultslist>

5. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Yuriy Khoverko. Magnetoconductance of Polycrystalline Silicon in SemOI-structures for Sensors Application // International Conference on Perspective Technologies and Methods in MEMS Design. 2021. P. 98-101.

DOI:[10.1109/MEMSTECH53091.2021.9468079](https://doi.org/10.1109/MEMSTECH53091.2021.9468079)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85116356339&origin=resultslist>

*Публікації в збірках наукових конференцій:*

6. Stepan Novosiadlyi, Volodymyr Mandzyuk, Volodymyr Hryha, Andriy Terletsy, Taras Benko, Volodymyr Lukovkin. Modified Pearson model for high-energy multi-charge implantation and impurity activation for sensor microsystems // 40th IEEE International Conference on Electronics and Nanotechnology, ELNANO 2020. 2020. Article number 9088870. P. 315-318.

DOI:[10.1109/ELNANO50318.2020.9088870](https://doi.org/10.1109/ELNANO50318.2020.9088870)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85086311334&origin=resultslist>

7. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Volodymyr Pavlysh, Yuriy Khoverko. Simulation of Sensor Capacitive Elements Built Into the Microsystem-On-Chip // 40th IEEE International Conference on Electronics and Nanotechnology, ELNANO 2020. 2020. Article number 9088744. P. 211-215.

DOI:[10.1109/ELNANO50318.2020.9088744](https://doi.org/10.1109/ELNANO50318.2020.9088744)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85086312564&origin=resultslist>

8. Anatoly Druzhinin, Igor Ostrovskii, Yuriy Khoverko, Victor Holota, Igor Kogut, Taras Benko. Frequency response in polycrystalline silicon films of SemOI-structures // 15th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering, TCSET 2020, Lviv-Slavske, Ukraine, February 25-29. 2020. Article number 9088678. P. 551-554.

DOI:[10.1109/TCSET49122.2020.235493](https://doi.org/10.1109/TCSET49122.2020.235493)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85086306615&origin=resultslist>

9. Volodymyr Hryha, Taras Benko, Stepan Melnychuk, Lesya Nykolaichuk, Ludmyla Hryha, Orest Volynskyi. Development and Modelling of Devices for Squaring Numbers on FPGA //Information technology and computer modeling (ITCM). 2020. P. 163.

10. Когут І.Т. Бенько Т.Г. Грига В.М. Моделювання і дослідження характеристик операційного підсилювача на основі комірок БМК сенсорних мікросистем // Інформаційні проблеми комп'ютерних систем, юриспруденції, енергетики, моделювання та управління (ISCM). 2020. С. 80-84.

11. Бенько Т.Г. Моделювання і дослідження характеристик операційного підсилювача на основі комірок БМК в середовищі MicroWind для сенсорних мікросистем. //V Міжнародна науково-практична конференція “Актуальні питання сучасної науки”. 2020. С. 40.

12. Benko Taras, Novosiadliy Stepan. Thin-film silicon field-effect transistors for sensor microsystems // Impatto dell'innovazione sulla scienza: aspetti fondamentali e applicati. 2020. P. 156-164.

13. Benko Taras, Novosiadliy Stepan, Kohut Igor. Homostructural bipolar transistors for submicron and sensor structures // XI International Scientific and Practical Conference «Perspectives of World Science and Education». 2020. P. 18-24.

14. Benko Taras, Novosiadliy Stepan, Kohut Igor. Homostructural field transistor on gallium arsenide for sensor microsystems // Paradigmatic view on the concept of world science. – 2020. – P. 138-142.

15. Бенько Т.Г. Обмеження вертикальних розмірів і формування шаруватих структур транзисторів для сенсорних мікросистем // Міжнародна наукова інтернет-конференція «Інформаційне суспільство: технологічні, економічні та технічні аспекти становлення».-2020. С.87-90.  
Конференція

16. Бенько Т.Г. Горизонтальні конфігурації і мінімізація горизонтального розміру субмікронних транзисторів// IV Міжнародна наукова-практична конференція «Наука та технології».2020. С. 87-90.

17. Новосядлий С.П., Бенько Т.Г. Гомоструктурні польові транзистори для сенсорних мікросистем на фосфіді індію // Міжнародна наукова конференція проблеми та перспективи реалізації та впровадження міждисциплінарних наукових досягнень. 2020. С. 52-55.

18. Benko Taras, Kohut Igor, Hryha Volodymyr, Dolishniak Oksana. Recursive devices of binary data sorting devices //XI International Scientific Conference “Functional base of nanoelectronics” 2020. P. 35-39.

19. Котик М.В., Когут І.Т., Бенько Т.Г. Моделювання елементів мікросистем-на-кристалі зі структурами “кремній-на-ізоляторі” для біометричних досліджень // Інформаційні технології та комп’ютерне моделювання. 2019. С. 218. конференція

20. Kogut I.T.,Dovhyi V.V., Benko T.H. Layouts Design Features of Matrix Elements with “Kink-Effect” Control for Microsystems-on-Chip”// XVII International Freik Conference on Physics and Technology of Thin Films and Nanosystems. Ivano-Frankivsk, May 20-25, 2019. P. 283.

21. Kogut I.T., Holota V.I., Benko T.H. The Simulation of Integrated Capasitive SOI Elements for Sensor Microsystem-on-Chip”// XVII international Freik conference on physics and technology of thin films and nanosystems. Ivano-Frankivsk, May 20-25, 2019. P. 284.

22. Новосядлий С.П., Бенько Т.Г., Луковкін В.В. Метод гетерної епітаксії як основа зниження дефектності епі-шарів для сенсорних мікросистем на кристалі // Тридцять друга всеукраїнська практично-пізнавальна конференція "Наукова думка сучасності і майбутнього". Дніпро 2019. С. 14.

23. Taras Benko. Simulation specialized sensor elements for non-invasive electronic biomedical devices.// 56th Confrence of Student’s Scientific Cirles. Krakow, 2019. P. 214.

## ЗМІСТ

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ.....	17
ВСТУП.....	18
РОЗДІЛ 1. ІНТЕГРАЛЬНІ ПЕРЕТВОРЮВАЧІ СИГНАЛІВ У СЕНСОРНИХ МІКРОСИСТЕМАХ–НА–КРИСТАЛІ ТА ПОСТАНОВКА ЗАДАЧ ДИСЕРТАЦІЙНИХ ДОСЛІДЖЕНЬ .....	27
1.1. Сучасні тенденції розвитку нанометрових технологій .....	27
1.2. Особливості n- і р- канальних КМОН пристроїв.....	34
1.3. Підходи створення високоефективних елементів ІПС на основі КМОН технологій.....	38
1.4.Перспективи технологій і структур кремній – на – ізоляторі для створення ІПС.....	41
1.4.1. Типи підкладок для КНІ – структур.....	43
1.4.2. Перспективи використання КНІ - структур для низьковольтних елементів ІПС.....	44
1.4.3. Порівняльна оцінка ступеня інтеграції елементів і швидкодії.....	46
1.4.4.Порівняльна оцінка швидкодії.....	47
1.4.5. Зменшені зв'язки.....	48
1.5. Проблеми КНІ - структур і моделі КНІ МОН – пристроїв. «Кінк»-ефект.....	50
1.5.1.Повністю збіднений МОН.....	52
1.5.2. Модель пристрою КНІ.....	52
1.5.3. Особливості проектування КНІ МОН-приладів.....	54
1.5.4. Терагерцовий МОН елемент.....	55
РОЗДІЛ 2. ДОСЛІДЖЕННЯ ВЛАСТИВОСТЕЙ КНІ-МАТЕРАЛІВ ТА МОДЕЛЮВАННЯ БАЗОВИХ ПРИЛАДНИХ КНІ-СТРУКТУР ДЛЯ СТВОРЕННЯ ІПС ДЛЯ НИЗЬКІХ ТЕМПЕРАТУР .....	57
2.1.Дослідження характеристик магнітоопору полікристалічних кремнієвих плівки- на- ізоляторі для ІПС.....	57
2.2. Частотні характеристики полікремнієвих плівок-на-ізоляторі.....	62

2.3. Моделювання динамічних параметрів КНІ КМОН- транзисторних структур з екранованими затворами. ....	67
2.4. Особливості проектування топологій транзисторних елементів мікросистем зі структурами КНІ й керованим «кінк»- ефектом. ....	70
2.5. Оптимізація зменшення енергії перемикання КМОН- інверторів, як базових логічних елементів ІПС.....	78
<b>РОЗДІЛ 3. РОЗРОБЛЕННЯ І ДОСЛІДЖЕННЯ ІПС НА ОСНОВІ ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧІВ ТА КІЛЬЦЕВИХ ГЕНЕРАТОРІВ.....</b>	<b>89</b>
3.1. Моделювання і дослідження характеристик операційних підсилювачів як елементів ІПС для сенсорних мікросистем.....	89
3.2. Інтегральні перетворювачі сигналів зі структурами КНІ КМОН на основі кільцевих генераторів.....	96
3.3. Інтегральні перетворювачі сигналів на складних КМОН-інверторах з подвійним керуванням підканальними областями МОН - транзисторів ..	103
3.4. Інтегральний перетворювач рівнів сигналів .....	110
<b>РОЗДІЛ 4. ІНТЕГРАЛЬНІ ПРИСТРОЇ МІКРОСИСТЕМ-НА-КРИСТАЛІ ДЛЯ ЦИФРОВОЇ Й МАТЕМАТИЧНОЇ ОБРОБКИ ТА ПЕРЕТВОРЕННЯ СИГНАЛІВ .....</b>	<b>116</b>
4.1. Інтегральні перетворювачі сигналів (ІПС) для реєстрації змін надмалих ємностей на КНІ КМОН –інверторах.....	116
4.2. Розроблення і моделювання електричних, часових температурних та енергетичних характеристик КНІ КМОН програмованих вхідних/вихідних буферних каскадів .....	126
4.3. Рекурсивні інтегральні пристрої сортування бінарних даних .....	130
4.4. Розробка і моделювання інтегральних пристроїв піднесення чисел до квадрату на блоках ПЛІС.....	137
4.5. Архітектура та перспективи використання сенсорної мікросистеми-на-кристалі для дослідження вбудованих в неї ІПС.....	144

4.6. Перспективи використання сенсорної мікросистеми-на-кристалі для створення спеціалізованих сенсорних пристроїв.....	148
ВИСНОВКИ .....	152
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ .....	156
ДОДАТОКИ. ....	170



## ПЕРЕЛІК СКОРОЧЕНЬ І УМОВНИХ ПОЗНАЧЕНЬ

БЕ – бібліотечний елемент

БМК – базовий матричний кристал

ВАХ – вольт-амперна характеристика

ІПС – інтегральний перетворювач сигналу

ВІС – велика інтегральна схема

ІС – інтегральна схема

КНІ – кремній-на-ізоляторі

КМОН – комплементарна метал-окисел-напівпровідник структура

НВІС – надвелика інтегральна схема

МЕМС – мікроелектронна механічна система

АМнК – аналітична мікросистема-на-кристалі

МОН – метал-оксид-напівпровідник

РЕМ – растрова електронна мікроскопія

САПР – система автоматизованого проектування

СЕ – сенсорний елемент

ЧЕ – чутливий елемент

ЗВ – тривимірний

ОП – операційний підсилювач

## ВСТУП

**Актуальність теми.** Зважаючи на стрімкий розвиток мікроелектроніки в сфері створення і використання мікросистем, які є результатом об'єднання на одному або декількох кристалах схем опрацювання інформації та мікроелектромеханічних чи сенсорних елементів, проведення досліджень в даному напрямку є актуальним. Відомими є різні типи мікросистем, що мають в собі чутливі та актюаторні елементи, спеціалізовані сенсорні мікросистеми-на-кристалі та призначені для різноманітних цілей, зокрема для дослідження властивостей рідин, газів, мікробіологічних структур та ін. Не менш важливим є дослідження інтегральних некремнієвих елементів, які могли б бути інтегровані в кремнієві приладні структури, зокрема в технологію структур «кремній-на-ізоляторі» (КНІ), що дало б змогу суттєво розширити можливості створення перспективної елементної бази для мікросистем-на-кристалі, розширити їх функціональні можливості і сфери застосування. Проте дані некремнієві елементи матимуть субмікрометрові і нанометрові геометричні розміри, і дослідження характеристик таких елементів традиційними методами, наприклад з безпосереднім використанням зондів і провідників будуть недостовірними, оскільки існують великі відносні втрати через різноманітні паразитні зовнішні впливи (опір провідників, їх індуктивності, ємності та ін). Тому для проведення даних досліджень більш достовірним був би метод аналізу таких некремнієвих елементів в інтегральному виконанні безпосередньо на кристалі спеціалізованої мікросхеми, яка виконуватиме функції опрацювання сигналів від цих елементів з подальшою передачею опрацьованих і підсилених сигналів на вимірювальний або комп'ютеризований пристрій. Такі системи можна вважати аналітичними.

Для реалізації поставленої мети із відомих інтегральних структур, найбільш доцільними видаються структури КНІ, оскільки вони володіють малим споживанням енергії, високою швидкодією, радіаційною стійкістю, широким інтервалом температурної експлуатації та покращеними можливостями створення активних приладних архітектур за рахунок їх повної

діелектричної ізоляції від підкладки, а також додатково відкривають нові можливості створення тривимірних елементів, включаючи елементи під поверхнею пластини.

Оскільки такі сенсорні системи-на-кристалі малодосліджені, особливо у вітчизняній електроніці, дисертація спрямована на подальше дослідження варіанту архітектури універсальної сенсорної мікросистеми для аналізу у її складі вбудованих нових як елементів, так і ІПС в цілому. Зокрема, буде введено спеціальну «технологічну» зону для реалізації елементів ІПС, елементів зв'язку для їх підключення до схем первинного опрацювання сигналів на основі КНІ-елементів, окремих функціональних вузлів, моделювання проходження сигналів як в окремих блоках, так і в мікросистемі в цілому. Особливий інтерес для мікросистем такого типу представляє їх конструювання за принципом базових матричних кристалів (БМК), що може бути покладений в основу розробки такого типу мікросистеми-на-кристалі, і дасть змогу в короткі терміни здійснювати їх проектування.

**Зв'язок роботи з науковими програмами, планами та темами.** Дисертацію виконано відповідно до тематики і напрямків наукової діяльності кафедри комп'ютерної інженерії та електроніки Прикарпатського національного університету імені Василя Стефаника, зокрема. які проводилися без фінансування: “Автоматизація дослідження електрофізичних параметрів напівпровідникових приладових структур” (2018-2021 рр.), державний реєстраційний номер 1118U004536, “Схемотехніка і топологія синхронних і асинхронних інтегральних елементів для програмованих сенсорних мікросистем-на-кристалі” (2018-2021 рр.), “Розробка та комп'ютерне приладно-технологічне моделювання елементної бази для створення аналітичних і спеціалізованих обчислювальних мікросистем на-кристалі на основі структур кремній-на-ізоляторі”, державний реєстраційний номер 1118U004537, а також за проектами МОНУ з бюджетним фінансуванням «Елементи гібридних мікросистем-на-кристалі для біомедичних застосувань» (2022-2023 рр.) державний реєстраційний номер 0122U0000857. «Багатофункціональна

сенсорна мікросистема неінвазійного неперервного моніторингу та аналізу біосигналів людини» (2024-2026 рр) державний реєстраційний номер 0124U000384.

**Метою** дисертаційної роботи є розробка й дослідження конструктивно-технологічної та схемо-топологічної елементної бази зокрема, на основі КМОН- структур та структур «кремній-на-ізоляторі» для створення первинних елементів ІПС, необхідних для побудови сенсорних мікросистем та мікролабораторій-на-кристалі, моделювання й дослідження їх електричних, частотних та температурних характеристик, параметрична оптимізація інтегральних приладних структур.

У відповідності до поставленої мети сформульовано наступні **завдання** дослідження:

- проведення дослідження зі створення і використання мікросистем-на-кристалі (МНК), як для аналізу нових інтегральних елементів так і об'єктів безпосередньо в складі МНК, в тому числі з некремнієвими технологіями, а також опрацювання фізичних величин для сенсорної електроніки;

- розробити універсальну архітектуру сенсорної мікросистеми зі структурою КНІ і за принципом побудови БМК, яка дозволила б в короткі терміни створювати аналогічні мікросистеми-на-кристалі для дослідження некремнієвих елементів з субмікрометровими і нанометровими геометричними розмірами та їх характеристик в інтегральному виконанні безпосередньо на кристалі спеціалізованої мікросхеми, яка виконуватиме функції первинного опрацювання сигналів від досліджуваних елементів з подальшою передачею опрацюваних і підсилених сигналів на вимірювальний або комп'ютеризований пристрій.

- дослідити інтегральні некремнієві елементи, які могли б бути інтегровані в кремнієві приладні структури, зокрема, в технологію структур «кремній-на-ізоляторі», оскільки це дало б змогу суттєво розширити можливості створення перспективної елементної бази для мікросистем-на-кристалі, розширити їх функціональні можливості і сфери застосування;

- розробити структуру, топологію, елементи зв'язку зі спеціальною «технологічною площадкою» для створення і дослідження некремнієвих інтегральних елементів і їх інтеграції в технологію структур «кремній-на-ізоляторі», а також інших фізичних об'єктів;

- спроектувати архітектуру, базові цифрові та аналогові елементи і розробити топологію універсальної аналітичної мікросистеми-на-кристалі за принципом побудови матричних ІС зі структурами «кремній-на-ізоляторі».

- Оцінити можливості створення нових приладних структур на основі двошарових тривимірних КНІ структур під поверхнею кремнієвої пластини.

**Об'єкт дослідження** – приладні структури інтегральних перетворювачів сигналів для створення інтелектуальних сенсорів, сенсорних мікросистем та мікролабораторій-на-кристалі, включаючи на основі структур «кремній-на-ізоляторі».

**Предмет дослідження** – електричні й частотні характеристики приладних структур ІПС, придатних для розроблення і виготовлення елементної бази сенсорних мікросистем-на-кристалі.

**Методи дослідження:** Дослідження проводились з використанням системного підходу, що ґрунтується на основі теорії МОН - приладних структур, їх фізичних моделей. Розробка і моделювання технологічних процесів і режимів формування приладних структур здійснювали у САПР TCAD. У цій ж системі проводилось приладно-технологічне моделювання і екстракція електричних характеристик приладних КНІ- структур, моделюванням досліджувались в них розподіли електричних полів і напруженостей в залежності від зовнішніх впливів. Для розробки інтегральних схемотехнічних рішень і топологій елементів інтегральних перетворювачів були використані інтерактивні системи проектування LT SPICE , Tanner Pro, MicroWind

**Наукова новизна одержаних результатів** полягає в тому, що :

1. На основі аналізу літературних даних і проведених комп'ютерних моделювань показано і підтверджено, що КНІ КМОН – структури можна

вважати перспективною альтернативою стандартним КМОН-структурам на об'ємному кремнії для створення елементів ІПС. Їх площа на кристалі є в середньому у 2-3 рази меншою порівняно зі стандартними КМОН-структурами на монокремнії, суттєво у 3 рази вища швидкодія, радіаційна стійкість, менша у 4 рази споживана потужність, ширший до 300°C температурний інтервал. Проте, основним їх недоліком КНІ n-канальних МОН-транзисторів є «кінк»-ефект. Запропоновано спеціальні схематопологічні рішення шляхом підключення підканальної області до до земляної шини на прикладі базової матричної комірки, що одночасно є придатною для «матричної» комутації у схемах, та усуває «кінк- ефект» для n-канальних КНІ МОН-транзисторів.

2. Проаналізовано сучасні мікро- і наноелектронні технології з формування елементної бази інтегральних схем і показано, що за параметрами і можливостями конструювання нових елементів ІПС для сенсорних мікросистем-на-кристаоі найбільш перспективною є структури кремній-на-ізоляторі (КНІ) та їх модифікації.

3. Проведено комплексне дослідження низькотемпературної магнітопровідності шарів полікремнію-на-ізоляторі в полях до 14Тл при температурах зрідженого гелію в широкому діапазоні концентрацій (від  $7 \times 10^{17}$  до  $1,7 \times 10^{20}$  см<sup>-3</sup>), що охоплює метал-діелектрик переходу в кремній, яке дозволило визначити придатність таких зразків для створення ІПС і сенсорів магнітного поля.

4. Отримано результати досліджень п'єзоелектричного опору в нерекристалізованих і рекристалізованих шарах полікремнію-на-ізоляторі що свідчать про те, що для розробки ІПС механічних величин, які мають достатню тензочутливість до вимірюваного параметра, необхідно використовувати лазерно-рекристалізовані шари поліремнію-на-ізоляторі з концентрацією р-типу провідності  $4, 8 \times 10^{18}$  см<sup>-3</sup> при 300°К.

5. Запропоновано і досліджено моделюванням ІПС на основі кільцевого генератора з логічно керованим входом, у коло зворотнього зв'язку якого введено чутливі елементи (зокрема фоточутливий-МОН-транзистор з

регульованою чутливістю). Вихідним інформаційним сигналом цього ІПС є зміна частоти генерації кільцевого генератора.

6. Запропоновано і досліджено ІПС інвертора на основі складного КМОН-інвертора з подвійним керуванням пороговою напругою як зі сторони затвору так і підкладки, який перетворює опір чутливого елемента у рівень вихідного імпульсного сигналу. Запропоновано три варіанти підключення чутливого резистивного елемента до підканальних областей МОН-транзисторів. Наведено залежності вихідної напруги ІПС від опору чутливого елемента, чутливості ІПС, форми вихідних імпульсів.

7. Розроблено схемотехнічні рішення для ІПС, що дозволяють оцінювати надмалі ємнісні та резистивні елементи, і можуть використовуватися для зовнішніх сенсорних елементів, так і вбудовуватися безпосередньо в мікросистему-на-кристалі.

#### **Практичне значення отриманих результатів:**

1. Запропоновано топологію і базові технологічні операції формування КМОН-матричних комірок для побудови елементів ІПС з можливостями керування «кінк – ефектом» та інтеграції в КНІ МОН-транзисторі окремого керування підканальною областю транзистора, що дозволить поєднувати в одному комбінованому транзисторі два – КНІ МОН та паралельно підключений до нього біполярний.

2. Запропоновано метод зменшення динамічної потужності базової схеми КМОН – інвертора шляхом введення у вихідне коло інвертора двох додаткових послідовно-з'єднаних р- і n- канальних МОН-транзисторів, з окремим керуванням у моменти наростання і спадання фронтів вхідних логічних сигналів, що дозволяє зменшити динамічну потужність до 78% порівняно із базовою схемою інвертора. Це буде вигідним для побудови цифрових елементів ІПС, особливо, потужних, напр., для зовнішнього інтерфейсу вихідних каскадів мікросистем-на-ізоляторі.

3. Спроектовано топології базового елемента ОП для ІПС на стандартних та КНІ КМОН структурах, а також на основі базової матричної комірки.

Проведено їх схемотопологічне моделювання безпосередньо із топологій. Такі елементи можуть бути основою для побудови ІПС в мікросистемах-на-кристалі. Показано, що вихідні сигнали для схеми ІПС зі структурами КНІ порівняно зі стандартними КМОН мають кращу, в середньому на 30% крутизну фронтів та більший на 20% коефіцієнт підсилення по амплітуді. Топології ІПС зі структурами КНІ є суттєво оптимальніші порівняно зі стандартними КМОН структурами за площею на кристалі.

4. Проведено схемотопологічне моделювання ІПРС і показано, що такі перетворювачі зі структурами КНІ порівняно зі стандартними КМОН-структурами мають покращені температурні та часові характеристики та є придатними для проектування ІПС, інтелектуальних сенсорів та сенсорних мікросистем-на-кристалі.

5. Запропонований ІПС на КМОН-транзисторах з подвійним керуванням може використовуватися як окремий елемент інтелектуальних сенсорів або як функціональний елемент сенсорних мікросистем-на-кристалі.

6. Запропоновані ІПС різних типів, можуть бути успішно використані у спеціальній «технологічній» зоні сенсорної мікросистеми-на-кристалі на основі БМК, як сенсорні елементи, елементи дослідження технології самої мікросистеми та як елементи самодіагностики.

7. Спроектовано і проведено порівняльний аналіз аналогічних топологій вхідних каскадів мікросистеми-на-кристалі як на масивних КМОН-структур, так КНІ КМОН-структурах. Моделюванням показано, що вихідні каскади на КНІ-структурах мають меншу затримку (4 пс та 7 пс відповідно) та меншу споживану потужність (6,89 мВт та 8,88 мВт відповідно).

**Особистий внесок здобувача** полягає у: дослідженні конструктивно-технологічної та схемо-топологічної елементної бази зокрема, на основі КМОН- структур та структур «кремній-на-ізоляторі» для створення елементів інтегральних перетворювачів сигналів [3, 35, 38,]; проектуванні оптимізованої базові матричної комірки, в тому числі з керуванням “кінк-ефектом”, та розробки на їх основі схемо топологічного рішення бібліотечних елементів



[2,5,22,,32]; розробки структури та топології, елементів зв'язку зі спеціальною «технологічною площадкою» для створення і дослідження некремнієвих інтегральних елементів і їх інтеграції в технологію структур «кремній-на-ізоляторі», а також інших фізичних об'єктів. [33,35,84], проведенні дослідження інтегральних перетворювачів сигналів на основі операційних підсилювачів та кільцевих генераторів, [4,121]; візуалізації отриманих даних, написанні та оформленні публікацій [44,81,121]

**Апробація отриманих результатів.** Результати дисертаційної роботи було апробовано на наступних міжнародних та всеукраїнських конференціях, семінарах та школах як в Україні, так і за кордоном: 56th Confrence of Student's Scientific Cirles. Krakow, 2019, XVII international Freik conference on physics and technology of thin films and nanosystems. Ivano-Frankivsk, May 20-25, 2019, XI International Scientific Conference „Functional base of nanoelectronics” 2020, Міжнародна наукова інтернет конференція «Інформаційне суспільство: технологічні, економічні та технічні аспекти становлення» - 2020, Інформаційні проблеми комп'ютерних систем, юриспруденції, енергетики, моделювання та управління (ISCM), IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO-2020), XI International Scientific and Practical Conference «PERSPECTIVES OF WORLD SCIENCE AND EDUCATION» – 2020, International Conference on Perspective Technologies and Methods in MEMS Design, IV Міжнародно наукова-практична конференція «Наука та технології» -2020, 15th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET - 2020), International Research and practice conference „Nanotechnology and nanomaterials”. Lviv. August 25-27, 2022.

**Публікації.** Матеріали дисертаційної роботи викладені в 23 наукових публікаціях, зокрема 3 статті у фахових наукових журналах, які індексуються науково метричною базою Scopus; 5 матеріали конференції у збірнику, які індексуються науково метричною базою Scopus; 15 тез міжнародних конференцій.

**Структура та обсяг дисертації.** Дисертаційна робота складається із вступу, чотирьох розділів, висновків, списку використаних джерел та додатку. Загальний обсяг дисертаційної роботи складає 173 сторінки, містить 120 рисунків, 16 таблиц і 121 бібліографічне посилання.

# РОЗДІЛ 1. ІНТЕГРАЛЬНІ ПЕРЕТВОРЮВАЧІ СИГНАЛІВ У СЕНСОРНИХ МІКРОСИСТЕМАХ-НА-КРИСТАЛІ З НАНОМЕТРОВИМИ ТЕХНОЛОГІЯМИ. ПОСТАНОВКА ЗАДАЧ ДИСЕРТАЦІЙНИХ ДОСЛІДЖЕНЬ.

## 1.1 Сучасні тенденції розвитку нанометрових технологій.

Важливими конструктивно-технологічними параметрами елементної бази інтегральних схем (ІС) є складність ІС, на основі яких проектуються відповідно також й ППС, і яка визначається довжиною затвору, що в свою чергу визначає тривалість затримок перемикавання та напруги живлення і якраз оці параметри визначають тенденції масштабування топологічних розмірів для КМОН-технологій.

Визначаючи тенденції в складності ІС, засновник корпорації Intel Гордон Мур (*Gordon Moore*), екстраполював їх і передбачив експоненційне зростання ступеня інтеграції і швидкодії мікропроцесорів. В 1965 р. він визначив, що ці параметри подвоюватимуться щороку. З невеликою поправкою (подвоєння відбувається за кожні 18 місяців (як видно з рис. 1.1), закон Мура виконувався аж до появи процесора *Itanium*® 2, який мав близько 400 мільйонів транзисторів.

Тенденції удосконалення КМОН - технологій продовжують керуватися необхідністю об'єднати більше функцій на визначеній площі кремнієвого кристалу ІС. Таблиця 1.1 надає короткий огляд ключових параметрів для приладних КМОН- структур зі 180 нм технологією, яка була запроваджена в 1999 р., а у 2011 р. було запроваджено 22 нм КМОН-технологію, яка є стандартом виробництва й на сьогодні [1].

## Технологічний розвиток і прогноз до 2021р.

Тип технології	180 нм	130 нм	90 нм	65 нм	45 нм	32 нм	22 нм
Перше виробництво	1999	2001	2003	2005	2007	2009	2011 і пізніше
Довжина затвору	130 нм	70 нм	50 нм	35 нм	25 нм	17 нм	12 нм
Матеріал затвору	poly	poly	poly	poly	Метал	Метал	Метал
	SiO <sub>2</sub>	SiO <sub>2</sub>	SiO <sub>2</sub>	SiON	Високий К	Високий К	Високий К
К-ть атомів в ізоляторі затвору	10	8	5	5	5-10	5-10	5-10
тис. затворів / мм <sup>2</sup>	100	200	350	500	900	1500	3000
Комірка пам'яті мкм <sup>2</sup>	4.5	2.4	1.3	0.6	0.3	0.15	0.08

Реально, фізична довжина затвору в КМОН- приладній структурі є дещо меншою, аніж його топологічний проектний розмір, що проілюстровано на рис. 1.2. Матеріалом затвору впродовж багатьох років був полікристалічний кремній із піззатворним діелектриком з діоксиду кремнію (SiO<sub>2</sub>) як ізолятора між затвором і каналом КМОН- транзисторів[11].

Для нанометрових технологій зручною одиницею вимірювання товщини підзатворного ізолюючого матеріалу транзистора є атомний шар. У 90 нм технології, шар оксиду в ізоляторі затвору складався з п'яти атомних шарів завтовшки 1.2 нм. Чим тонший шар оксидного діелектрика під затвором, тим вищий струм транзистора, і отже, відповідно швидкість перемикання транзистора [13].

Товщину шару оксиду SiO<sub>2</sub> під затвором послідовно зменшували протягом останнього десятиліття, аж поки він не досяг фізичної межі п'яти атомних шарів для 90-нм КМОН-технології. Для 45-нм КМОН-технології потрібні нові

матеріали, як наприклад, металеві затвори та оксиди з високою діелектричною сталою.

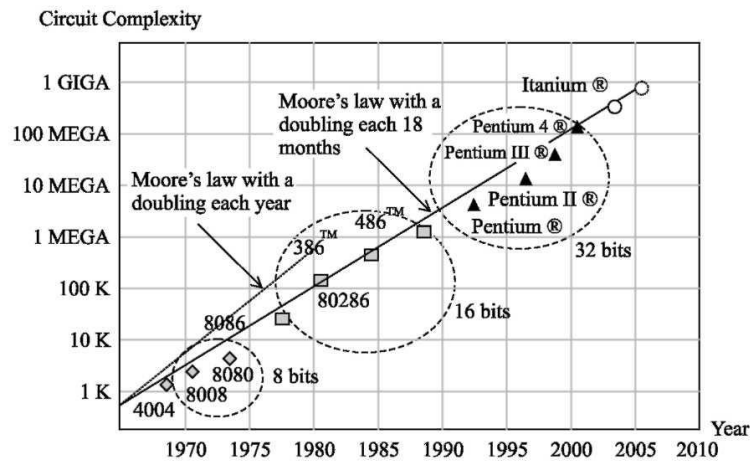


Рисунок. 1.1. Закон Мура та складність процесорів Інтел з 1970 до 2005 рр.

При кожному зменшенні масштабу літографії, лінійні розміри елементів ІС зменшувались приблизно в 0.7 разів, а площа зменшувалась в два рази. Менші розміри комірки приводять до вищої щільності та більшої складності ІС. При цьому щільність підвищилася від 100 тис. транзисторів на  $1 \text{ мм}^2$  для 130-нм технології до майже одного мільйона транзисторів на  $1 \text{ мм}^2$  для 45-нм технологічного процесу. Паралельно, розмір шести транзисторних комірок пам'яті, як, наприклад, ті що, використовуються в оперативній статичній пам'яті, зменшився до величини менш ніж  $1 \text{ мкм}^2$  із запровадженням 65-нм КМОН-технології. Ринок ІС постійно зростає протягом багатьох років, завдяки попиту на електронні пристрої, що постійно збільшується. Виробництво ІС для різних технологій за ці роки показано на рис. 1.3.

Можна зробити висновок, що нова технологія з'являється регулярно кожних два роки, з піком виробництва близько трьох років. Виробничий пік постійно зростає, і подібні тенденції, ймовірно, спостерігатимуться для нових технологій як наприклад 65 нм (пік, що передбачалося станом на 2009 рік).

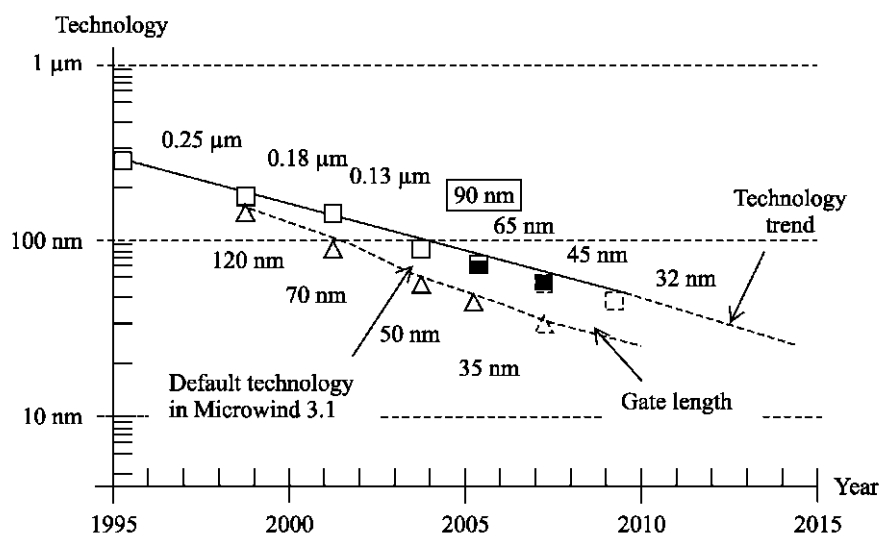


Рисунок. 1.2. Зменшення розмірів технології в напрямі нанорозмірних елементів.

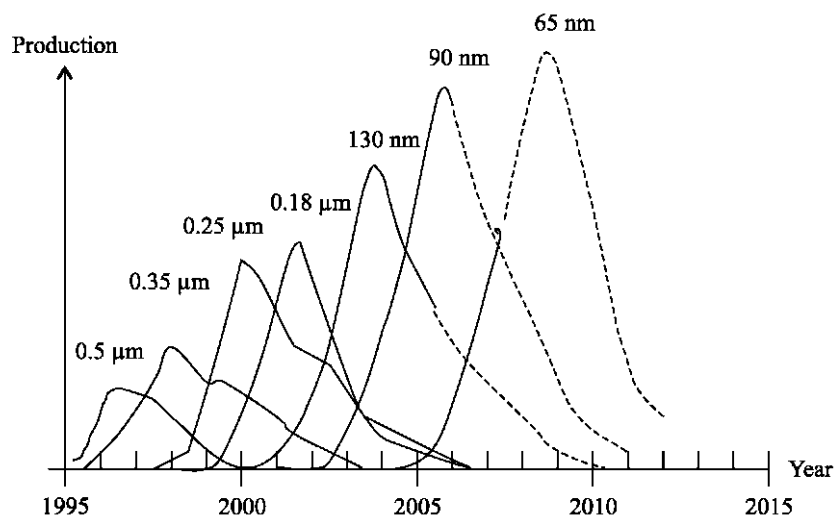


Рисунок. 1.3. Технологічні піки, які спостерігаються кожні два роки.

Одна дуже важлива тенденція, яка з'явилася із зменшенням розмірів літографії – зменшення часу перемикання МОН-транзистра, як продемонстровано на рис. 1.4. Швидкодію ІС можна покращити завдяки збільшенню струмів через транзистори для заряду і розряду менших паразитних ємкостей. Постійне збільшення струмів елементів надзвичайно бажане, але водночас, піднімає цілий рядок важливих проблем.

Для ІС зменшення розмірів інтегральних елементів відкриває нові можливості зі створення чутливих сенсорних елементів для фіксації, наприклад, надмалих ємностей або зміни опору резистивних елементів, що пов

‘язано з використанням фізичних ефектів, які ґрунтуються на поєднанні функціонування КМОН-інтегральних елементів з впливом на їх роботу додаткових інтегральних елементів, що можуть бути під’єднані до затворів транзисторів і використані як інтегруючі або диференціюючі кола.[6].

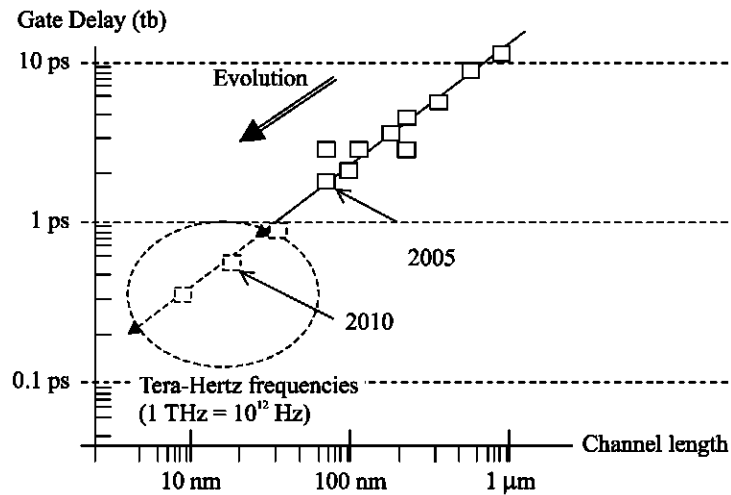


Рисунок. 1.4. Зменшення довжини каналу МОН-транзистора дозволяє суттєво покращити його перемикальні властивості. .

Перше наближення струму елемента, яке описується рівнянням 1.1:

$$I_{ds} k \frac{V_{DD} \mu}{L t_{OX}} \quad (1.1)$$

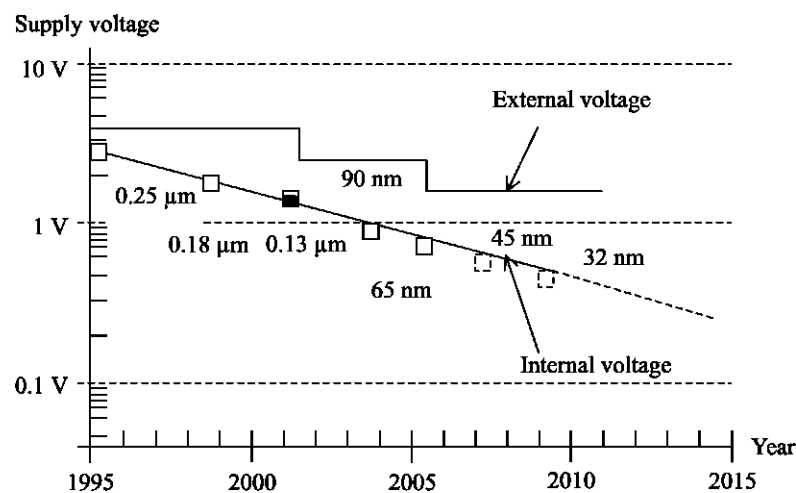


Рисунок. 1.5. Безперервне зменшення напруги живлення

Як впливає з цього виразу, є принаймні три ефективні шляхи збільшення струму транзистора:

- Збільшення напруги живлення  $V_{DD}$  (Рис. 1. 5). Нажаль, напруга живлення слідує за протилежною тенденцією щодо зменшення енергії споживання. При переході від 130-нм до 90-нм технології напруга живлення була зменшена з 1.5 до 1.2 Вольт.
- Зменшення довжини каналу МОН-транзистора або скорочення відстані  $L$  між стоком і витокком. Довжина каналу автоматично зменшується зі зменшенням масштабу – покращенням технології. Зменшення розмірів в 0.7 рази приводить до 33% збільшення струму.
- Зменшення товщини підзатворного окислу. Товщина окислу була зменшена від 1.8 нм (восьми атомних шарів) до 1.2 нм (п'яти атомних шарів). На жаль, втрати в окислі затвору експоненційно зростають, що впливає на паразитні струми витокку і споживання енергії в режимі очікування.
- Збільшення рухливості носіїв  $\mu$ . Цей параметр утримувався незмінним аж до покоління 90-нм технології, яке було першим, що використовувало вже напружений кремній, щоб збільшити рухливість носіїв. Пошук методів збільшення рухливості носіїв обов'язковий, для того щоб підтримувати приріст швидкодії без погіршення втрат в елементах.

Повний виробничий 90-нм процес був вперше введений американською фірмою Intel ще у 2003 р. З розмірами каналу транзистора близько 50 нм, що є порівняним до найменших мікроорганізмів, ця технологія – є дійсно нанотехнологією. Головною новизною, пов'язаною з 90-нм технологічним процесом, є введення напруженого кремнію, для підвищення рухливості носіїв. [1]. Це підвищує швидкодію транзисторів з каналами як  $n$ - , так і  $p$ -типів (рис. 1. 6). Протягом десятиліть було відомо, що розтягування кремнієвої ґратки покращує рухливість носіїв, і, таким чином, величину струму транзистора.



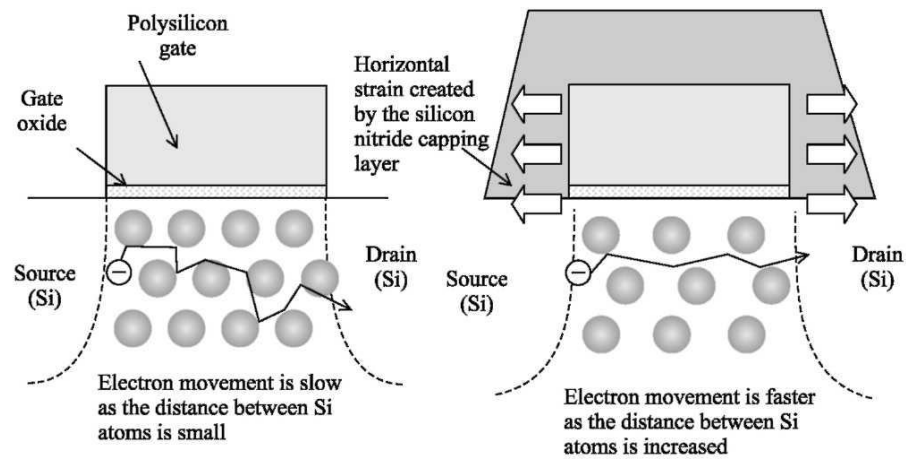


Рисунок. 1.6. Напруження у кремнії – створює шар покриву з азотом, який збільшує відстань між атомами під затворами.

Зосередимося на атомах кремнію, які формують регулярну структуру ґратки, всередині якої електрони, беруть участь у струмі МОН-транзистора. У випадку електронних носіїв, розтяг ґратки дозволяє зарядам текти швидше від стоку до витоку, як зображено на рис. 1.7. Покращення рухливості лінійно залежить від розтяжної товщини плівки. Розтяг для 80-нм плівки приводив до 10% покращення струму насичення в Intel 90-нм КМОН-технології. Напруження також може бути прикладеним знизу за допомогою однорідного шару сплаву кремнію і германію (SiGe)[16].

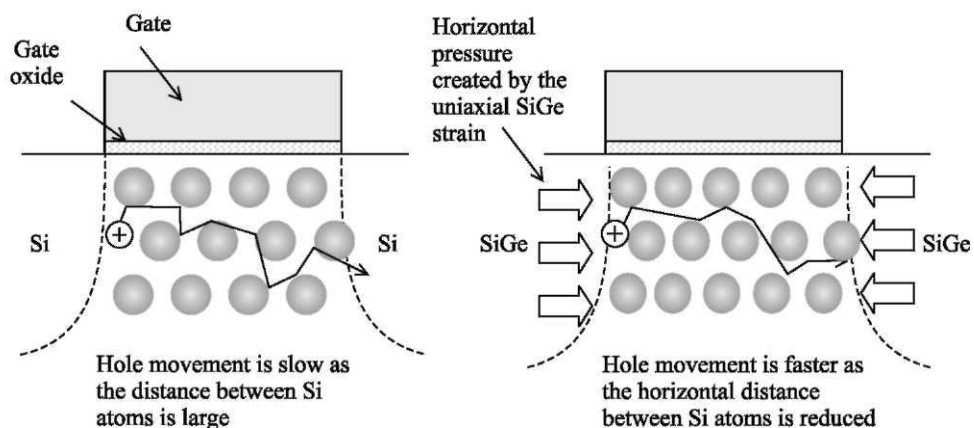


Рисунок. 1.7. Стискуюче напруження зменшує відстань між атомами під затвором, що приводить до підвищення швидкості дірок для КМОН пристроїв з *p*-каналом.

Отже, схожим чином, стискання ґратки збільшує швидкість пермикання *p*-канального МОН-транзистора, для якого носіями струму є дірки. Поєднання

зменшеної довжини каналу, зменшеної товщини підзатворного окисного шару і напруженого кремнію дозволяє досягати істотної переваги у керуючому струмі як для n-канального, так і р-канального МОН-транзисторів.

## **1.2. Особливості n- і р- канальних КМОН пристроїв.**

Однією з найважливіших проблем проектування і виготовлення інтегральних пристроїв є збільшення ступеня інтеграції елементів на кристалі, підвищення швидкодії й одночасного зменшення напруг живлення і відповідно споживаної потужності. Для вирішення вказаних проблем застосовуються нові конструктивні матеріали, елементи зменшених геометричних розмірів, нові приладні структури. Однією із таких структур, які в останні роки вже мають промислове використання є структури «кремній-на-ізоляторі» (КНІ), які мають суттєві переваги як конструктивний матеріал, і прилади на їх основі володіють значно кращими електричними, температурними і частотними характеристиками, радіаційною стійкістю.

Окрім цього, з переходом до топологічних нанорозмірів елементів, які в останні два десятиліття освоює напівпровідникова промисловість, можна також суттєво покращити параметри як інтегральних схем, так і відповідно інтегральних перетворювачів сигналів для сенсорної електроніки і мікросистемної техніки. Тому вивчення і дослідження цих проблем є надзвичайно актуальним.

Метою даної дисертаційної роботи було вивчення і аналіз сучасних нанотехнологій виготовлення інтегральних схем (ІС), зокрема, інтегральних елементів для базових схем ІПС, аналіз можливостей і особливостей використання для їх розробки структур «кремній-на-ізоляторі», та проектування і моделювання базових елементів ІПС.

Предметом аналізу та досліджень є розроблення та дослідження електричних, часових і температурних характеристик базових інтегральних перетворювачів сигналів для інтелектуальних сенсорних елементів та

мікросистем-на-кристалі сенсорного типу як на КМОН - структурах об'ємного типу, так і КНІ КМОН – структурах.

Для проведення досліджень використано методи комп'ютерного моделювання у пакеті прикладних програм MicroWind версії 3.1, яка за замовчуванням налаштована на 90-нм технологічний процес. Поперечний перетин КМОН пристроїв з n- і p- каналом показаний на рис.1.8.

Затвор n-канального МОН- транзистора покриті шаром нітриду кремнію, який індукує поперечне розтяжне напруження каналу для покращення рухливості електронів. Характеристики КМОН пристроїв з низькими втратами і високою швидкістю, було наведено в табл. 1.1, й отримані моделюванням використовуючи КМОН–модель BSIM4 [36].

Поперечні перерізи МОН- пристроїв з малими втратами і високою швидкістю (рис. 1.8) не мають великих відмінностей. Стосовно МОН-пристроїв з малими втратами, з їх вольт-амперних характеристик (рис. 1.9) видно, що ці пристрої витримують струм 0.6 мА при  $W=0.5$  мкм, що становить  $1.2A/\mu m$  при напрузі живлення 1.2 В. Для швидкодіючих КМОН пристроїв, ефективна довжина каналу і порогова напруга дещо зменшені, щоб досягти значного робочого струму  $1.5A/mkm$  [37]. Негативною стороною такого високого робочого струму є великий струм втрат, який підвищується від 60 нА/мкм (низькі втрати) до 600 нА/мкм (велика швидкість), як видно на  $I_d/V_g$  кривій для  $V_g = 0V$ ,  $V_b = 0V$  (рис. 1.10-б).

Таблиця. 1.2.

Параметри 90 нм n-МОН структури, задані в програмі MICROWIND

Параметри	n-МОН (Малі струми транзистора)	n-МОН (Велика швидкодія напружений кремній)
Довжина затвору	0.1 $\mu m$	0.1 $\mu m$
Ефективна довжина каналу	60 нм	50 нм
Ширина каналу	0.5 $\mu m$	0.5 $\mu m$
Порогова напруга	0.28 V	0.25 V
$I_{on}(V_{DD} = 1.2V)$	0.63 mA	0.74 mA
$I_{of}$	30 nA	300 nA

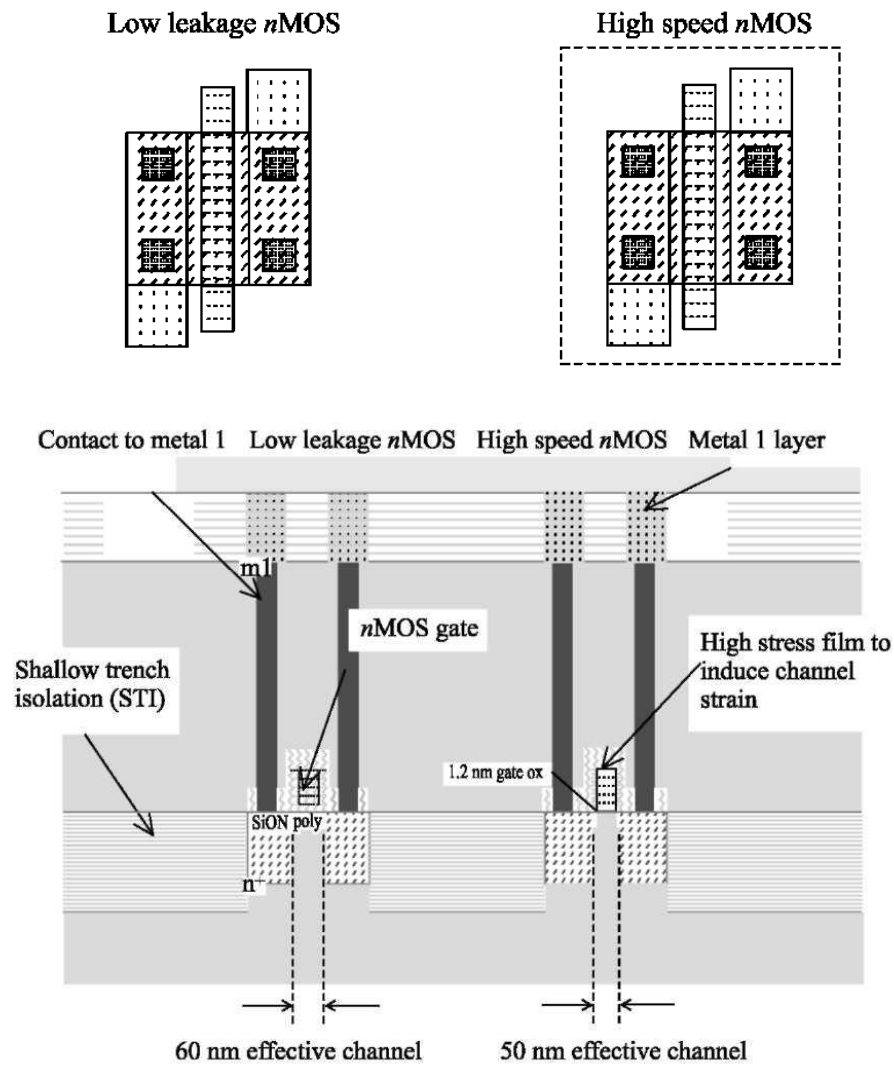


Рисунок. 1.8. Топологія (вигляд зверху) та поперечні перетини  $n$ -каналних МОН- елементів.

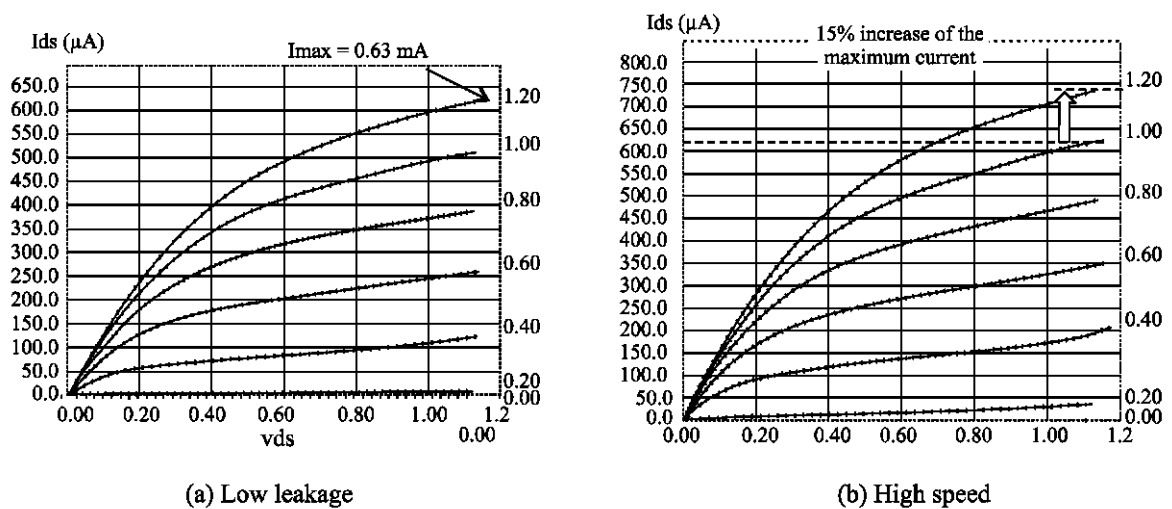


Рисунок. 1.9.  $I_d/V_g$  крива  $n$ -МОН елементів з малими втратами та високою швидкодією ( $W = 0.5 \mu\text{m}$ ,  $l = 0.1 \mu\text{m}$ )

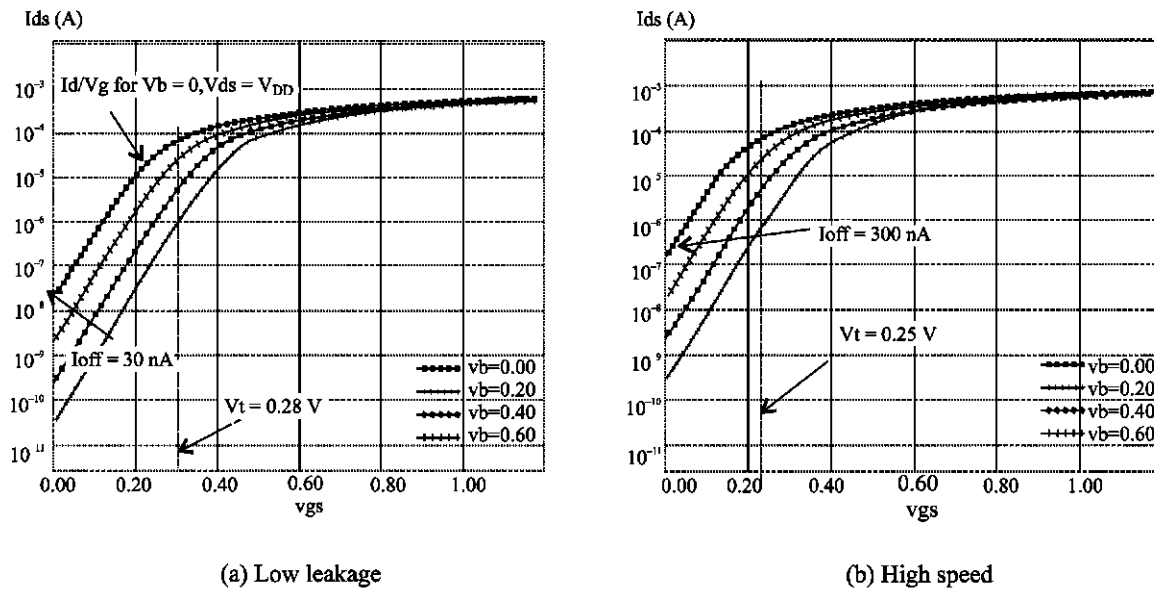


Рисунок. 1.10.  $I_d/V_d$  характеристика р- МОН елементів з малими втратами і високою швидкодією ( $W = 0.5 \mu\text{m}$ ,  $L=0.1\text{mm}$ )

Таблиця. 1.3.

Параметри р-канального МОН-транзистора для 90-нм технології КМОН в програмі MICROWIND

Параметр	<i>p</i> -МОН (Малі струми транзистора)	<i>p</i> -МОН (Більші струми транзистора - більша швидкодія)
Довжина каналу	0.1mm	0.1mm
Ефективна довжина	60 нм	50 нм
Ширина каналу	0.5 $\mu\text{m}$	0.5 $\mu\text{m}$
$I_{\text{on}} (V_{DD} = 1.2V)$	0.35 mA	0.39 mA
$I_{\text{of}}$	21 nA	135 nA

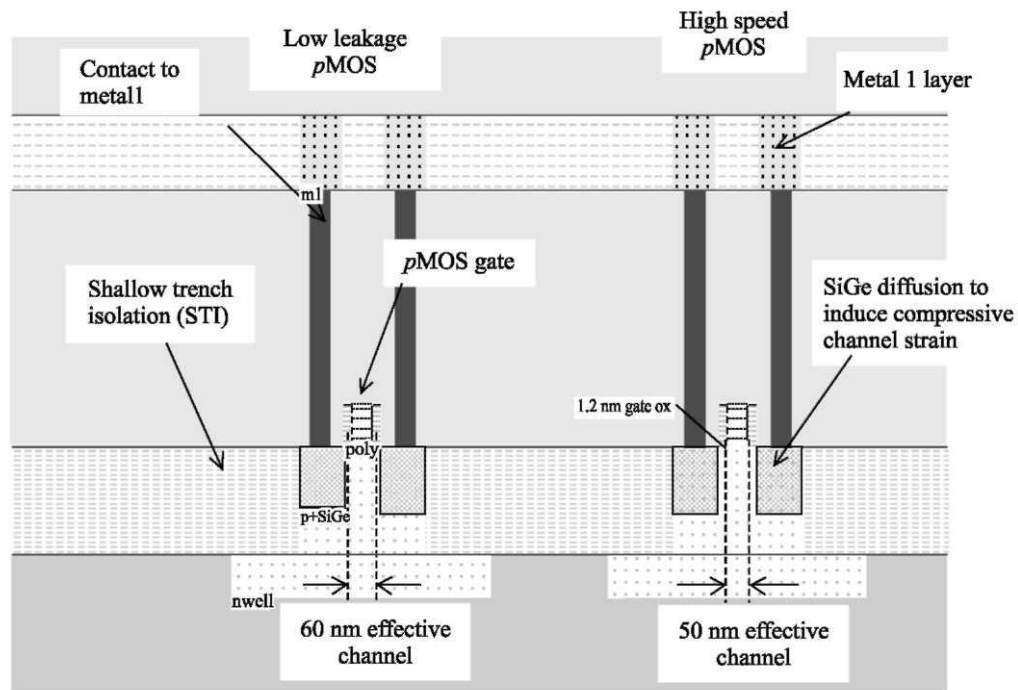


Рисунок. 1.11. Поперечний перетин р-канальних МОН елементів

Керуючий струм для р-канальних МОН елементів в 90-нм технології становить 700 мкА/мкм для елементів з малими втратами і аж до 800 мкА/мкм для швидкодіючих елементів (рис. 1.11). Новий шар Silicon-Germanium (SiGe) індукує стискаюче напруження каналу, яке підвищує рухливість дірок у р-канальному МОН- транзисторі. [99]. Ці значення є особливо великі, оскільки цільові призначення цієї технології в Intel – швидкодіючі цифрові мікросхеми як, наприклад, мікропроцесори. Струм втрат складає близько 40 нА/мкм і 300 нА/мкм для елементів з малими втратами і високою швидкодією відповідно.

### 1.3. Підходи створення високоефективних елементів ШС на основі КМОН технологій.

Аналіз можливих КМОН – технологій, що пропонуються в пакеті прикладних програм Microwind показує, що технологічний процес і структури з 90 нм проектними нормами, відповідають найбільшій можливій швидкодії за рахунок максимально-можливих струмів МОН- транзисторів. Цей варіант технології вважають "високошвидкісним", оскільки він використовується в тих випадках, у яких проблем швидкодії – головна мета: це швидкодіючі

мікропроцесорні ІС, швидкодіючі цифрові перетворювачі сигналів, і т.п. Ця ідеологія високошвидкісного перетворення і обробки сигналів для може бути успішно перенесена й на інтегральні перетворювачі сигналів для інтелектуальних сенсорів і елементної бази сенсорних мікросистем-на-кристалі[4]. Інший технологічний вибір – це прилади "загального призначення" (рис. 1.12), який використовується там, де чинник швидкодії не є критичним, але для цієї технології він матиме запас по швидкодії.

Струми транзисторів для цього варіанту є суттєво нижчі, ніж у високошвидкісному варіанті, і затримка МОН- транзистора в середньому збільшена на 50%, як видно з параметрів, внесених до списку в табл. 1.4. Варіант з "малою споживаною потужністю" стосується ІС, для яких втрати повинні залишитися настільки низькими, наскільки це можливо. Критерій, який займає головне місце в таких застосуваннях як, наприклад, вбудовані пристрої, мобільні телефони і особисті організатори. В цьому варіанті затримки МОН-транзисторів збільшені в три рази у порівнянні з високошвидкісним варіантом, переважно завдяки товстішим оксидам і більшій довжині затворів.

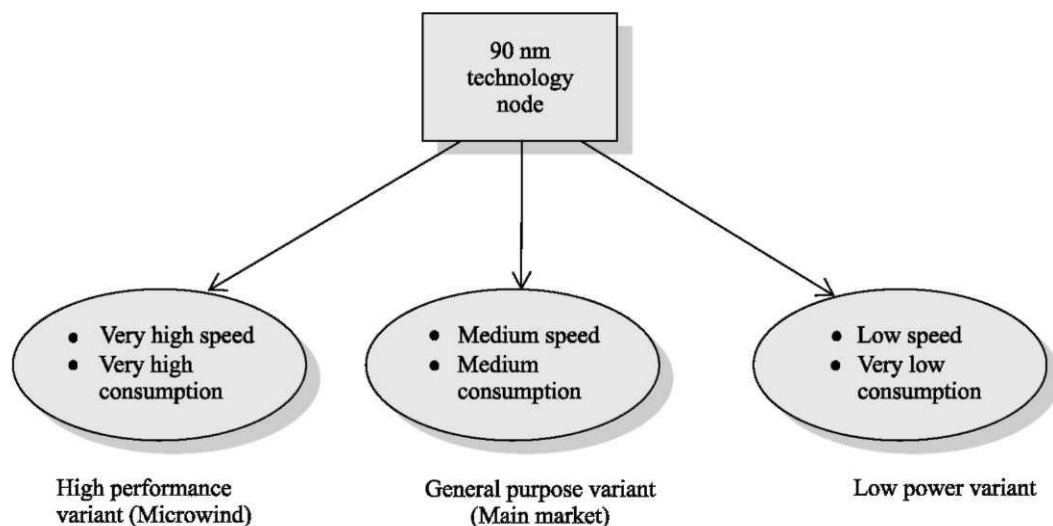


Рисунок. 1.12. Представлення трьох варіантів 90-нм КМОН – технології, для вибору типу конструювання ІПС.

Постійне зменшення товщини звичайних підзатворних оксидів як, наприклад, кремнієвий діоксид ( $\text{SiO}_2$ ) приводить до деградації надійності і неприйнятних струмів втрат. Нові діелектричні матеріали (табл. 1.5) з високою

діелектричною проникливістю потрібні для того, щоб замінити  $\text{SiO}_2$ , як для МОН-структур, так і для вбудованих конденсаторів, що можуть бути використані для створення елементів ІПС[15].

Для створення елементів ІПС, що міститимуть пасивні пристрої з високою ємністю (відомі як метал–діелектрик–метал, або МДМ) потрібні для різних цілей, включаючи внутрішньосхемні елементи розв'язки по шинах живлення, аналогового фільтрування для бездротових пристроїв, та високоякісних резонаторів для радіочастотних схем. Ці конденсатори повинні мати високу надійність, низький струм втрат, малий послідовний опір і малі діелектричні втрати. Вони повинні також бути повністю сумісними із стандартними процесами виготовлення ІС на основі КМОН технологій.

Таблиця. 1.4.  
Три класи 90 нм КМОН технологій і їх порівняння

Технологія	Висока швидкість	Загальна мета	Низька потужність
Типові застосування	Швидкодіючі DSP	ASIC, мікро- контролер, FPGA	Мобільні телефони, вкладені пристрої
$V_{CC}$	1.2	1.0	1.2
$t_{ox}$ (nm)	1.2	1.6	2.2
$L_{eff}$ (nm)	50	65	80
$V_T$ (V)	0.28	0.35	0.50
$id_{sat_n}$ ( $\mu A/\mu m$ )	1200	700	500
$id_{sat_p}$ ( $\mu A/\mu m$ )	700	300	200
$I_{off}$ (A/mm)	50n	5n	50p
Затримка (ps/stage)	7	12	25



Нові діелектричні матеріали, які, замінять  $\text{SiO}_2$  в майбутніх технологіях.

Матеріал	Опис	Відносна питома провідність ( $\epsilon_r$ )	Коментарі
$\text{HfO}_2$	Фтор-оксид	20	Запропонований для окису затвору на 45 нм
$\text{Ta}_2\text{O}_5$	Пентоксид танталу	25	Висока температура кристалізації. Проблеми надійності
$\text{Ni}_x\text{Ta}_2\text{O}_5$	Пентоксид тантал-ніобію	28	Гарний кандидат на конденсатор МДМ
$\text{SiO}_x\text{N}_y$	Нітрид оксиду кремнію	5-7	Використовуваний для окису коміра на 65 нм
$\text{SiO}_2$	Діоксид кремнію	4	Високі втрати в надтонких плівках

Для ІПС на основі МОН- пристроїв, так і пасивних елементів ІПС, можливо, матимуть переваги МОН- прилади з діелектриками з високою проникливістю. Стосовно МОН-елементів, такі діелектрики можуть бути зроблені тоншими, ніж плівки  $\text{SiO}_2$ , щоб одержати такий же еквівалентний ефект каналу, і таким чином зменшуючи одночасно струми втрат.[15-16].

Щодо пасивних елементів для ІПС, то чим більша питома проникливість, тим більший заряд, який може зберігатись на конденсаторі, наприклад, запам'ятовуючому, і таким чином, приводячи до вищих значень ємності конденсатора. З іншого боку, така ж ємність може вимагати меншої площі на кремнієвому кристалі з такими діелектриками, порівняно з  $\text{SiO}_2$ . Типові значення для питомих ємностей становлять від 2 до 20 фФ/мкм<sup>2</sup>.

#### **1.4. Перспективи технологій і структур кремній – на – ізоляторі для створення ІПС.**

Використання КНІ- технології може принести нові перспективні можливості для створення ІПС у порівнянні зі стандартними приладами на основі об'ємного кремнію. Які переваги та обмежуючі паразитні ефекти КНІ-приладних структур? Вдосконалення продуктивності стосуються споживання

енергії і швидкодії. У кращому випадку, технологія КНІ, може зменшити споживання енергії майже на половину, при зростанні швидкодії приблизно на 30%. Удосконалення швидкодії саме по собі еквівалентне двом рокам прогресу в об'ємній КМОН- технології. Матеріал ізолятора, використовуваний в КНІ, – прихований шар  $\text{SiO}_2$ , показаний на рис. 1.13 [19].

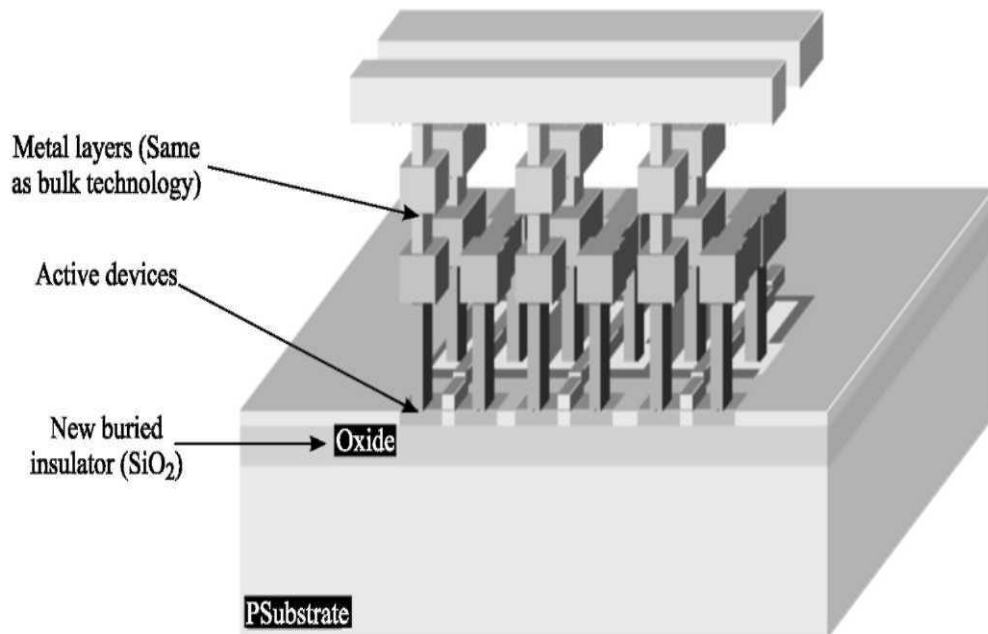
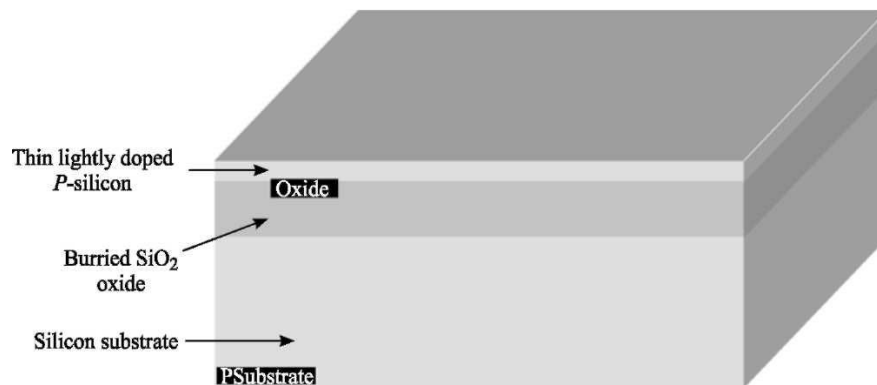


Рисунок. 1.13. Тривимірне представлення кільцевого інвертора КНІ з прихованим шаром  $\text{SiO}_2$

Фактично, технологія КНІ була доступною більш ніж 20 років, але її застосовували переважно для космічних і військових цілей через її надзвичайно малу чутливість до радіаційного випромінювання. Комерційне використання КНІ- структур все ще стикається з декількома проблемами: перша – це, вартість підкладки, яка у 5-10 разів є дорожчою за звичайну підкладку, друга – необхідність навчити проектувальників до певних методик проектування і правил, оскільки поведінка КНІ КМОН пристрою дещо відрізняється від звичайного КМОН пристрою[43]. Хоча виробництво МОН елементів дещо змінене, виготовлення металевих з'єднань та контактів повністю ідентичне до об'ємної КМОН технології.

### 1.4.1. Типи підкладок для КНІ - структур

Технології КНІ ґрунтуються на розміщенні тонкого шару кремнію над шаром оксиду кремнію, як показано на рис. 1.14. Транзистори формують над цим шаром. В програмі Microwind є доступною 120 нм технологія КНІ (120 нм топологічні проектні норми і правила. Це дозволяє проводити порівняльні моделювання з аналогічною об'ємною КМОН-технологією за цими ж проектними нормами (стандартний 120 нм КМОН технологічний процес). Проте можливим є розроблення ІПС за іншими проектними нормами є проведення відповідно порівняльних моделювань як для об'ємної КМОН технології, так і КНІ КМОН – технології.[17]



Рисунк. 1.14. Трьохмірне представлення КНІ – структур у системі MicroWind - 3, що показує прихований шар SiO<sub>2</sub>

Основна ідея КНІ МОН – структур полягає в тому, що шар КНІ зменшує паразитну ємність р-, n- переходів у МОН - транзисторі і він премикатиметься значно швидше. Кожного разу, коли транзистор вмикається, він повинен спочатку зарядити свою повну внутрішню ємність перед тим, як почати перемикатися [19]. Серед цих паразитних ємностей є ємності переходів  $C_{sb}$  і  $C_{db}$ , які сильно зменшуються шаром діоксиду кремнію, як показано на двовимірному поперечному перетині, зображеному на рис. 1.15. Чим товстіший шар оксиду SiO<sub>2</sub>, тим менша паразитна ємність[91]. Типова товщина шару ізолятора складає від 200 до 500 нм. У 120 нм КМОН КНІ технології, товщина шару діелектрика складає 300 нм, а товщина шару кремнію – 150 нм. Як показано на рис. 15, ємності переходу  $C_{sb}$  і  $C_{db}$  значно зменшені, фактично це

тільки вертикальні паразитні ємності переходів, які на порядок і більше є меншими порівняно із об'ємними МОН-приладами, і це суттєво збільшує швидкість перемикання елементів[23].

#### 1.4.2. Перспективи використання КНІ-структур для низьковольтних елементів ІПС

Важливою особливістю МОН-приладів зі структурою КНІ – крутіший допороговий нахил вольт-амперної характеристики (ВАХ) завдяки зменшенню впливу самої підкладки (рис.1.16). Типові допорогові множники нахилу (NFACT в моделі BSIM4) складають близькі 1.0 для елементів КНІ МОН – транзисторів у порівнянні з 1.5 для МОН – транзисторів на основі об'ємного кремнію. Для даного струму виключення КНІ МОН - транзистора ( $I_{off}$ ) КНІ МОН – транзистор може мати набагато меншу порогову напругу, що означає, що транзистор може працювати при нижчій нарузі живлення[98].

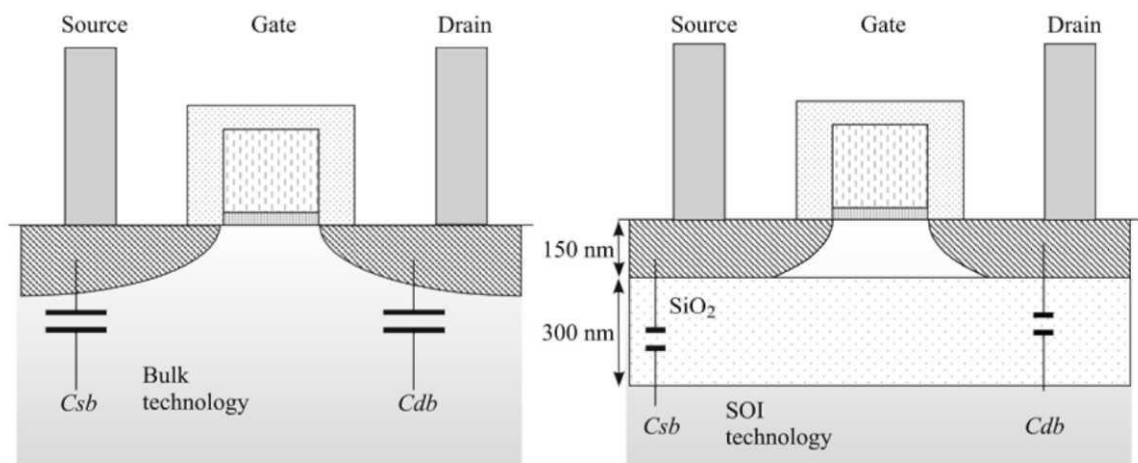


Рисунок. 1.15. Ємності переходів між витком і підкладкою майже усунуті у технології КНІ.

Відомо, що споживана потужність пропорційна до повної ємності схеми і квадрату напруги живлення. Це означає, що схеми на основі КНІ – структур є дуже перспективними для ІПС зі зменшеним споживанням енергії, оскільки паразитна ємність зменшена і напруга живлення також може бути знижена, а

зменшення споживаної потужності ІПС може покращити їх власні метрологічні характеристики.

Дослідження проведені моделюванням на прикладі кільцевого генератора з трьох інверторів показують, що є можливим отримати частоту генерації 42 ГГц при напрузі живлення 0.7 В (технології КНІ КМОН) і таку ж частоту при напрузі живлення 1.2 В (об'ємній КМОН – технології для 120 нм проектних норм (рис. 1.17). Зменшення споживаної потужності складає майже чотири рази є меншим порівняно з об'ємними КМОН- елементами.[46-47].

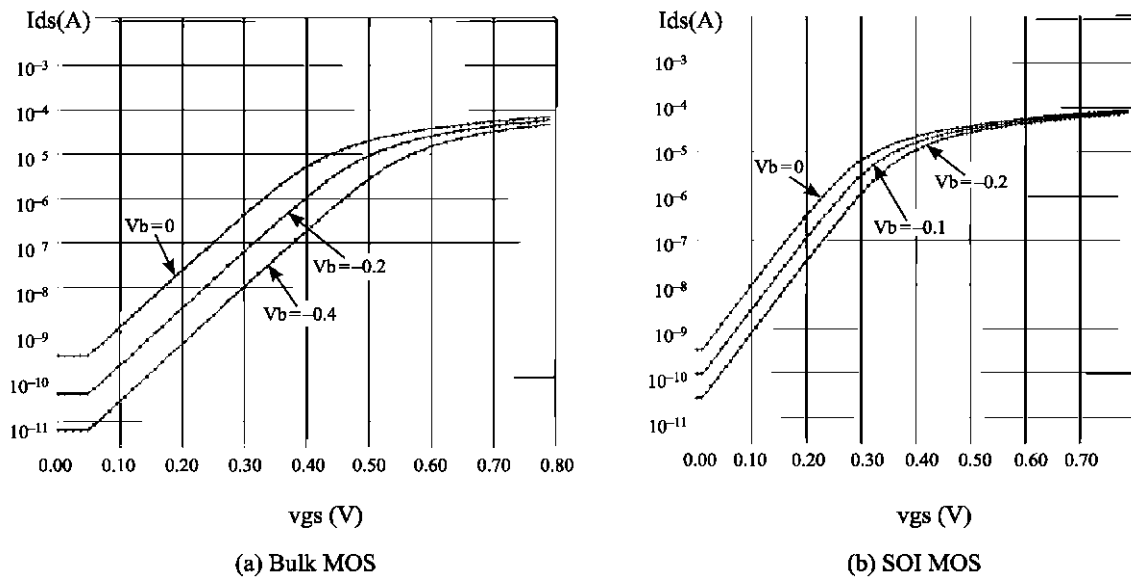
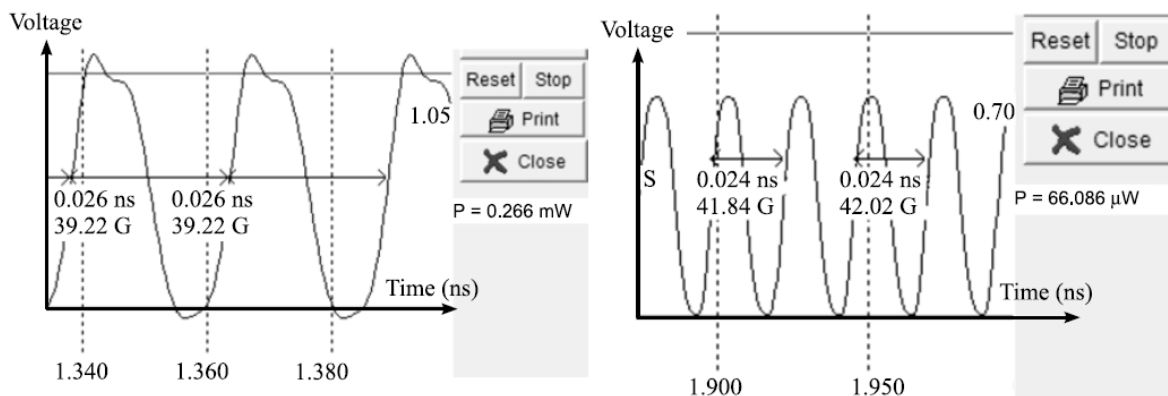


Рисунок. 1.16. Крутіший допороговий нахил приводить до зменшення напруги живлення і споживаної потужності.



а) об'ємний генератор- 40 ГГц: 266 мкВт б) КНІ генератор на 40 ГГц: 66 мкВт

Рисунок. 1.17. Менше значення струму  $I_{off}$  та крутіша допорогова ВАХ приводить до зменшення напруги живлення та споживаної потужності [50].

Більш того, нижче значення порогової напруги у поєднанні з крутішим нахилом ВАХ, є також ключовими моментами для аналогових ІПС, які можуть забезпечити таку ж функціональність і приблизно такий же діапазон робочих частот, але при значно меншому споживанні енергії.

### 1.4.3. Порівняльна оцінка ступеня інтеграції елементів і швидкодії.

Важливою особливістю КНІ КМОН - технології є збільшена щільність елементів КМОН завдяки послабленим обмеженням правил проектування для  $N+$  і  $P+$  дифузії. У об'ємній КМОН технології, пристрій з  $n$ -каналом та пристрій з  $p$ -каналом повинні бути розташовані на відстані принаймні у 12 лямбда. У правилах проектування технології КНІ КМОН – технології ця відстань може бути зменшена до двох лямбд, як показано на рисунок. 1.18.

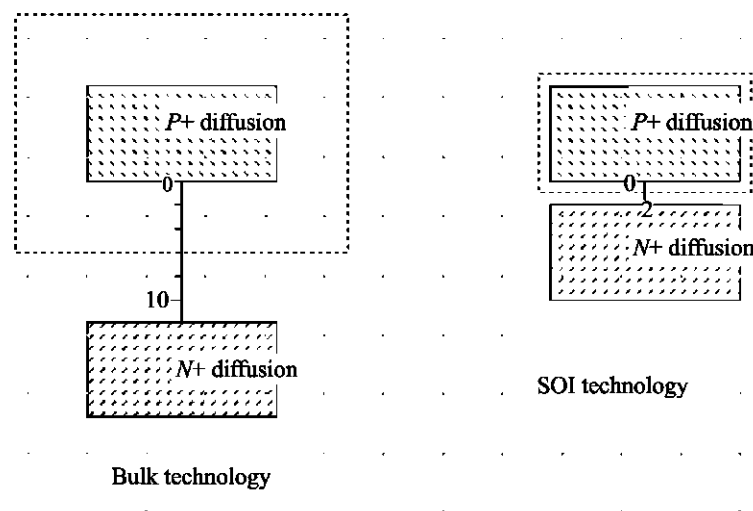


Рисунок. 1.18. Збільшена щільність проектування (інші норми проектування)

Таким чином, проектування топології КНІ КМОН інтегральних елементів стає більш компактним, оскільки  $n$ - МОН і  $p$ - МОН транзистори можуть торкатися один одного. Як приклад, кільцевий генератор з трьома інвертаторами у технології КНІ на 20% має меншу площу порівняно з об'ємним КМОН (рис. 1.19), для ідентичних проектних топологічних норм і розмірів  $n$ - і  $p$ - каналних МОН –транзисторів [51].

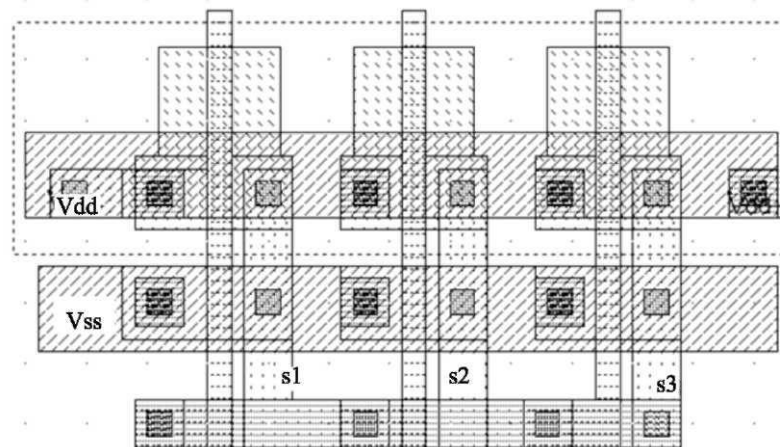


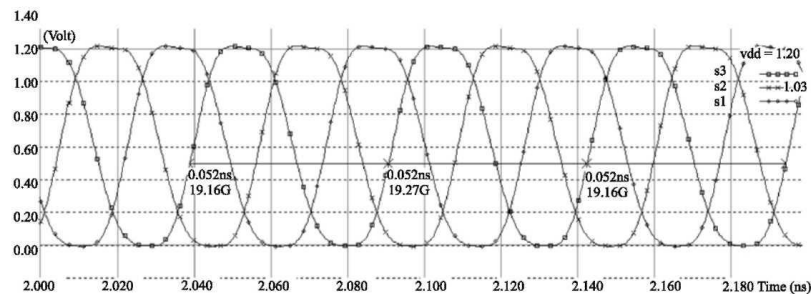
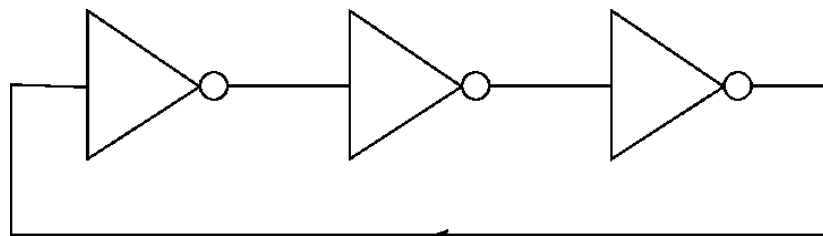
Рисунок. 1.19. Фрагмент топології кільцевого генератора на основі КНІ КМОН-транзисторів.

#### 1.4.4. Порівняльна оцінка швидкодії.

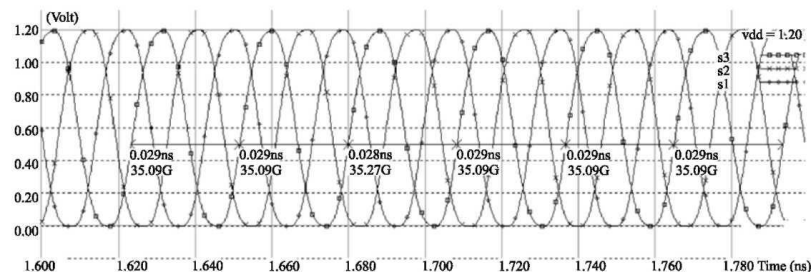
Порівняння результатів моделювання між кільцевим генератором на основі КНІ КМОН – структур і аналогічним кільцевим генератором на основі об’ємних КМОН – структур показано на рис. 1.20. Очевидний дуже істотний приріст швидкодії, приблизно 80% в даному випадку. Так, у об’ємній КМОН-технології генератор з трьома інверторами працює на частоті близько 19 ГГц, якщо використовувати модель BSIM4. У технології КНІ КМОН, такий же генератор працює на частоті приблизно 35 ГГц. [66].

Таке суттєве збільшення робочої частоти, відбувається через зменшену паразитну ємність переходів у КНІ КМОН елементах. Оскільки довжина з’єднувальних провідників і ємності переходів у випадку КНІ КМОН – технології суттєво зменшені, що має значний вплив на робочу частоту.

Окрім того, максимальний струм КНІ МОН- транзисторів може бути збільшеним на 20% порівняно з об’ємними МОН, завдяки специфічному небажаному, так званому «кінк»- ефекту, що теж у цьому разі покращує частотні характеристики КНІ КМОН – елементів



(a) Bulk technology



(b) SOI technology

Рисунок.1.20. Порівняльні моделювання кільцевого генератора з трьома інверторами на основі об'ємної та КНІ КМОН – технологій.

#### 1.4.5. Зменшені зв'язки.

Окисна ізоляція має позитивне вплив на стійкість до шумів між блоками. Одним з головних джерел шуму в об'ємних технологіях є підкладка. Частина схеми, які працюють на великій потужності та частоті, як, наприклад, підсилювач потужності, можуть інжектувати частину своєї енергії у підкладку, що може мати паразитний вплив на чутливі елементи інтегральних перетворювачів сигналів, наприклад, входи інтегральних диференціальних підсилювачів чи аналогово-цифрові перетворювачі (АЦП). Ізолятор, присутній у структурах кремній-на-ізоляторі, значно зменшує такі ефекти, що полегшує поєднання схем з різною функціональністю в межах одного кремнієвого кристала ІС (рис. 1.21) [20].



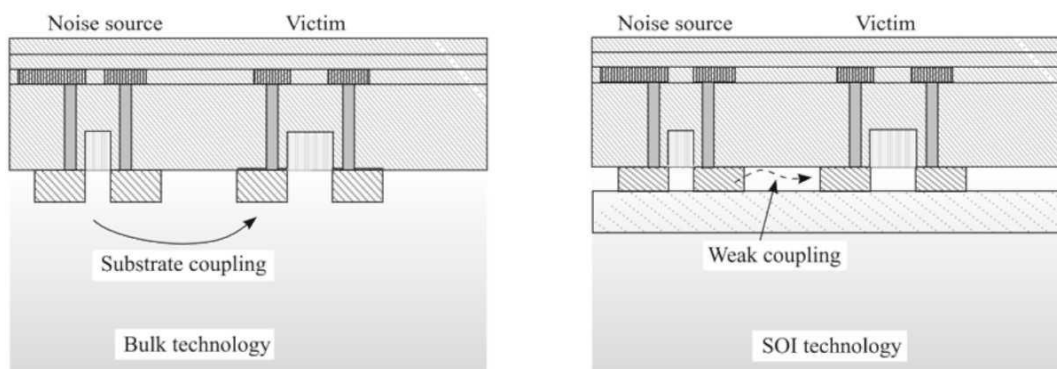


Рисунок. 1.21. Зменшення паразитичних зв'язків між елементами завдяки шару ізолятора.

Стійкість КНІ – структур до впливу температури. Струм  $I_{off}$ , який відповідає нульовій напрузі на затворі, визначає паразитний струм втрат МОН - транзистора. Низькі втрати МОН- транзистора є важливим фактором для пристроїв з малою споживаною потужністю. Поведінка пристроїв КНІ МОН- транзисторів є краща, ніж об'ємних пристроїв для струму  $I_{off}$  при високих температурах. У порівняльному моделюванні, показаному на Рис. 1.22, допороговий нахил крутіший для КНІ МОН- транзисторів за номінальної температури, як було представлено раніше. Якщо збільшити температуру до 200°C, струм в об'ємному елементі швидко зростає до 10 мкА, в той час як у КНІ МОН-пристроях струм залишається меншим ніж 0.1 мкА [30]. Тому при високих температурах КНІ МОН елементи мають струм холостого ходу майже в 100 разів меншим, ніж для об'ємної КМОН -технології.

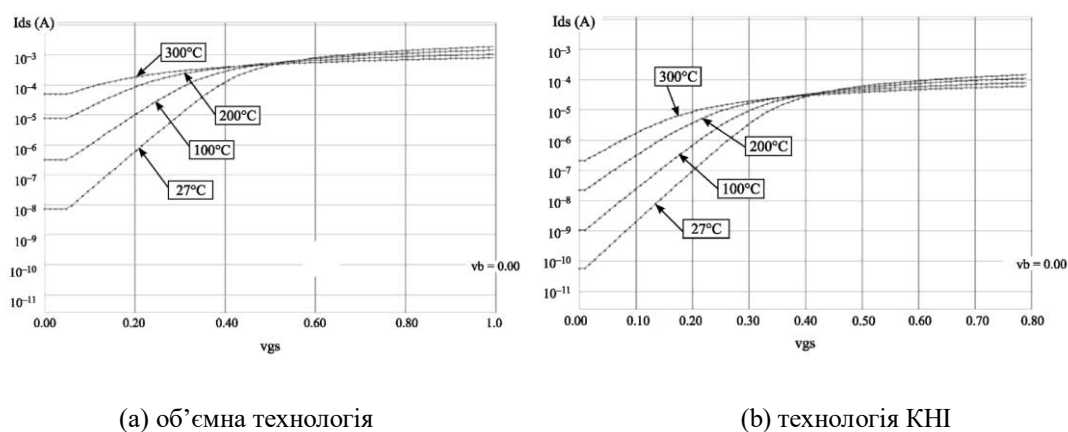


Рисунок. 1. 22. Температурні залежності для об'ємної та КНІ МОН пристроїв (низький втрати  $W = 10$  мкм,  $L = 0.12$  мкм)

Тому ці переваги КНІ МОН - пристроїв є перспективними для проектування ІПС для інтелектуальних сенсорів та сенсорних мікросистем-на-кристалі.

### 1.5. Проблеми і моделі КНІ МОН – пристроїв. «Кінк»-ефект.

У КНІ - структурах, коли у МОН - транзисторі з  $n$ -каналом протікає сильний струм між витокком і стоком, виникає паразитний ефект, який називають «кінк-ефект». Струм  $I_{ds}$  раптово зростає та спричиняє стрибок провідності, звичайно між 0.5 В і 1 В для 0.12 мкм КМОН технології. Походження цього паразитного ефекту – ударна іонізація високоенергетичних електронів, що входять в область стоку, яка створює додаткові позитивні і негативні заряди під затвором.

Поки електрони беруть участь в струмі  $I_{ds}$ , шар ізолятора перешкоджає позитивним зарядам перейти в підкладку, що має місце в об'ємній технології завдяки заземленню підкладки. Позитивні заряди накопичуються під затвором (рис. 1.23) і заряд тіла КНІ КМОН елемента може бути досить високим. Підвищення локальної напруги під затвором сильно впливає на порогову напругу, яка зменшується. Проте цей негативний ефект може бути використаний, наприклад, для створення елементів пам'яті, який ґрунтується на тому, що наявність позитивного заряду під затвором можна умовно вважати за логічну «1», а його відсутність – за логічний «0», обрамлюючи такий транзистор елементами схем управління, запису і зчитування створювати специфічні запам'ятовуючі пристрої.[32].Ґрунтуючись на цьому принципі, можна створювати також й інші чутливі елементи інтегральних перетворювачів сигналів, наприклад, чутливі елементи або підсилювачі тригерного типу.

В певний момент напруга зміщення  $PN$  переходу між  $P$ -легованим об'ємом і  $N$ -легованим витокком стає достатньо високою, щоб відкрити перехід, що приводить до раптового зростання струму через канал, як видно на характеристиках  $I_d/V_d$  (рис. 1.24). Цей ефект також називають ефектом плаваючого тіла (FBE). Оскільки ударна іонізація більш шкідлива для МОН транзисторів з  $n$ -каналом, ніж для МОН – транзисторів з  $p$ -каналом, «кінк»-ефект є більш явним у  $n$ -канальних МОН, ніж у  $p$ -канальних [32].

Врахування FBE вимагає специфічних моделей, які працюють з ефектом пам'яті накопичених зарядів під каналом. Без додаткових контактів, постійна часу для усунення цих зарядів становить порядку мілісекунди, що є набагато більшим за затримку переключення логічних елементів. Проте, тільки малий відсоток транзисторів в типовій логічній схемі не в змозі працювати належним чином з плаваючим тілом і вимагають додаткових контактів із землею. Усунення функціональних помилок пов'язаних з ефектом плаваючого тіла, вимагає додаткових спеціальних конструктивних схемо топологічних рішень.

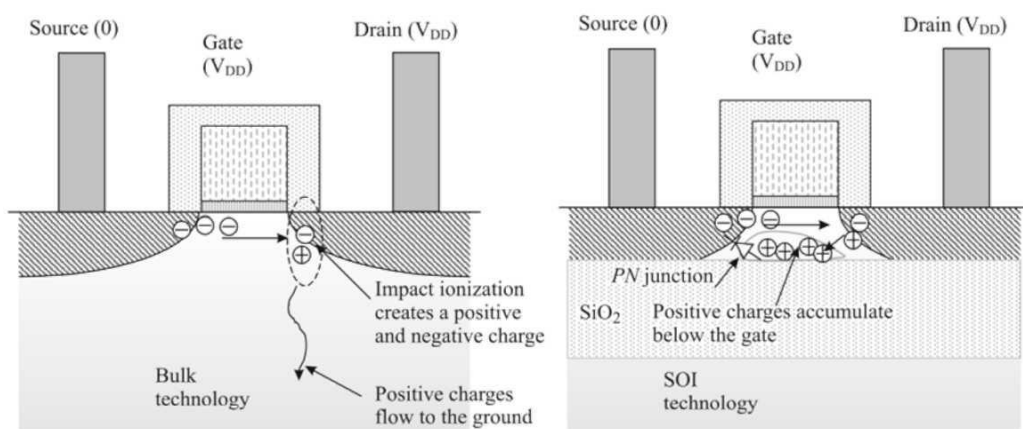
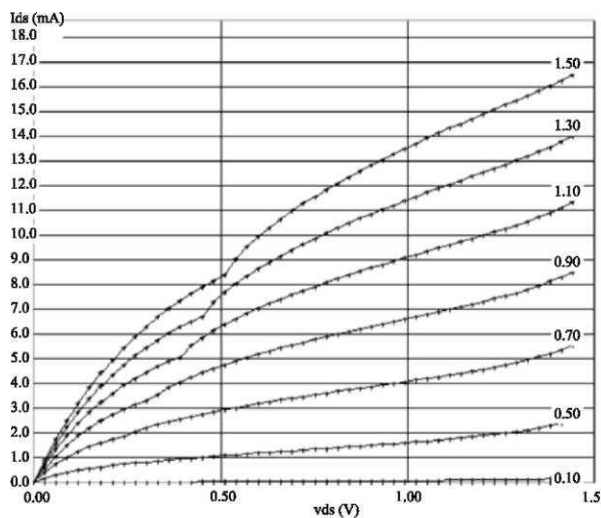
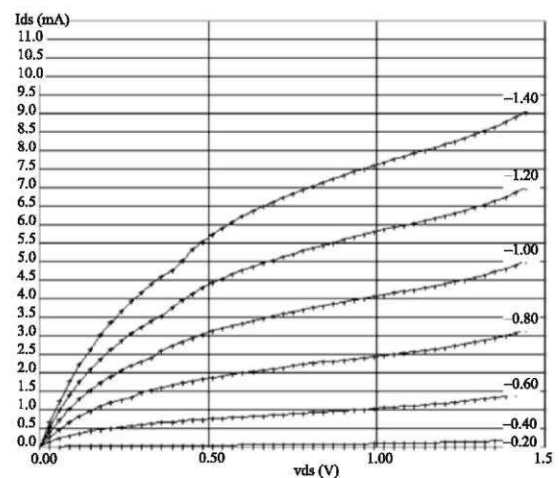


Рисунок. 1.23. Ударна іонізація створює накопичення позитивних зарядів під затвором КНІ.



(a) *n*-channel MOS



(b) *p*-channel MOS

Рисунок. 1.24. Характеристики струму витoku елементів КНІ з n-каналом і р-каналом показують «кінк»-ефект біля режиму насиченості

### 1.5.1. Повністю збіднений МОН.

Можливістю для зменшення впливу FBE є використання дифузійного каналу, так що для накопичення позитивних зарядів може бути усунуте, і тому майже не буде «кінк»-ефекту. Пр цьому області витoku і стоку звичайно виготовляються із збільшеною товщиною над шаром ізолятора  $\text{SiO}_2$  [32].

Повністю збіднені МОН-транзистори набагато важче виготовляти технологічно (через різницю товщин стік-витокових областей і під каналної області) й керувати ними. Потрібне кероване технологічним процесом регулювання порогу низьких  $V_t$ . Високошвидкісні та надвисокошвидкісні МОН пристрої є дуже складними через дуже тонку дифузійну область під затвором (рис.1.25). Ці перешкоди зробили повністю збіднений МОН-транзистор менш привабливим, ніж частково збіднений МОН- транзистор. Параметри КНІ-технології, доступні в Microwind, відповідають частково збідненим КНІ КМОН-структурам.[61].

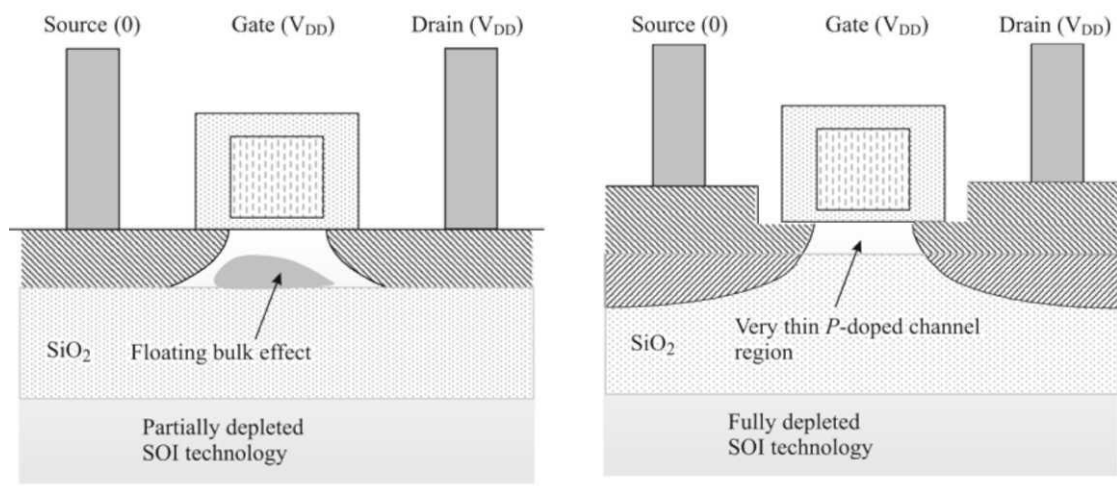


Рисунок. 1.25. Повністю збіднений МОН пристрій не має більше кінк-ефекту, але має декілька перешкод виробництва і проектування.

### 1.5.2. Модель пристрою КНІ.

Об'ємні кремнієві моделі МОН – транзисторів, наприклад, LEVEL3 чи BSIM4 звичайно не включають витоків/об'ємні діодні струми, тому що на

переходи звичайно подається зворотня напруга і вони можуть розглядатися як перехідні конденсатори. Проте це не так для КНІ МОН - елементів, де на витоківі/об'ємні переходи можуть подаватися істотні прямі напруги завдяки ударній іонізації, яка провокує накопичення позитивних зарядів під затвором [66].

«Кінк»-ефект є дуже слабкий в повністю збіднених КНІ КМОН-транзисторах. Тому можна застосовувати модель BSIM4 з розумною точністю, оскільки основні фізичні і робочі принципи є подібними.

У Microwind, «кінк-ефект» моделюється для частково-збіднених КНІ КМОН-транзисторів, завдяки новому параметру  $AKHI$ . Деталі цієї моделі надані в SPICE, де розглянуто поперечний біполярний елемент, зроблений з витоків, каналу і стокових областей. Модель КНІ КМОН - структури включає повну модель пристрою NPN у випадку  $n$ -канального МОН - транзистора, і моделі пристрою PNP у разі  $p$ -канального МОН - транзистора. Простіше виконання, запропоноване в Microwind, полягає в зміні моделі насиченого струму безпосередньо, де «кінк»-ефект найбільш важливий [32].

Вводиться новий параметр, названий АКНІ. «Кінк»-ефект спостерігається, коли напруга  $V_{DS}$  вища, ніж напруга насичення  $V_{dsat}$ . Параметр АКНІ визначає амплітуду «кінку». Вводиться новий доданок, як показано в рівнянні. Цей підхід – спрощена версія моделі, що використовується в моделі пристрою КНІ BSIM4.

$$I_{ds} = I_{ds\_bsim4} \left( 1 + \frac{ASOI}{L_{eff} V_t \sqrt{V_{DS} - V_{dsat}}} \right)$$

$L_{eff}$  - довжина каналу пристрою (м).

$V_{DS}$  - різниця напруги між стоком і витоківом (В)

$V_{dsat}$  - напруга насиченості (В)

$V_t$  - порогова напруга пристрою (В)

$ASOI$  - технологічний параметр для врахування «кінк»-ефекту (типове значення  $2 \times 10^6$  В/см)

Оскільки товщина шару оксиду зменшена до 2 нм і нижче, квантовий механізм прямого тунелювання крізь шар оксиду стає досить помітним. Струм затвору зростає і починає конкурувати з струмом каналу і, врешті, впливає на потенціал елемента. Ще більш складні моделі як, наприклад, BSIMPD було розвинено для точного моделювання таких МОН-нано-транзисторів (рис. 1.26).

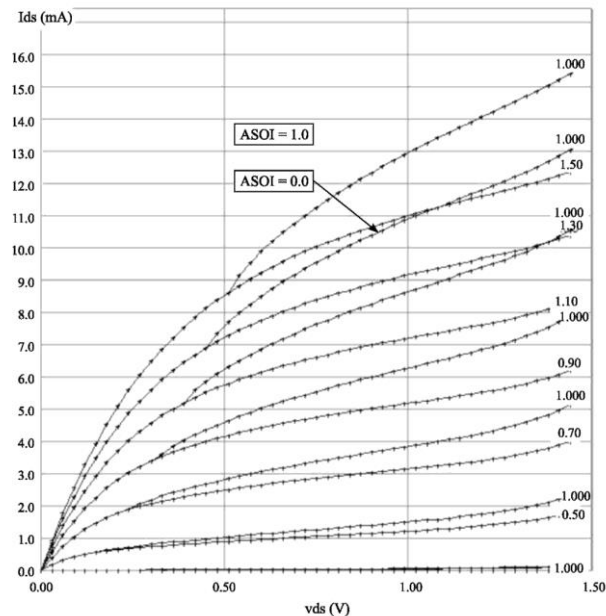


Рисунок. 1.26. Вплив параметру АКНІ на характеристики  $I_d/V_d$

### 1.5.3. Особливості проектування КНІ МОН-приладів

Приймаючи частково-збіднену технологію КНІ - структур, «кінк»-ефект може бути зменшений додаванням поляризаційного контакту із землею, який допомагає забирати накопичені заряди за межами каналу. Т-подібні і Н-подібні КМОН-транзистори зі з'єднанням із землею показано на рис. 1.27. КМОН пристрій з лівого боку не має ніякого заземлюючого контакту, і може зазнавати впливу «кінк»-ефекту, як тільки напруга  $V_{DS}$  стане вищою за 0.5 В. Т-подібний КМОН елемент має додаткову дифузійну область, яка сполучена з областю  $p$ -каналом з одного боку і контактом землі  $V_{SS}$  з іншого.

Новий контакт є досить ефективним внизу Т-подібного МОН - транзистора, але не може швидко забирати заряди, накопичені у верхній частині каналу. Покращений варіант (Н-подібна форма) складається з двох додаткових контактів, одного внизу і одного вгорі, які майже повністю

усувають «кінк»-ефект. Головною незручністю таких контактів є істотне збільшення площі елемента і потреба у зв'язках з  $V_{SS}$  в кожному МОН - транзисторі. Важливі переваги технології КНІ в термінах компактного розташування елементів дещо втрачаються, оскільки додаткові контакти забирають цінну площу кремнієвого кристалу ІС[67].

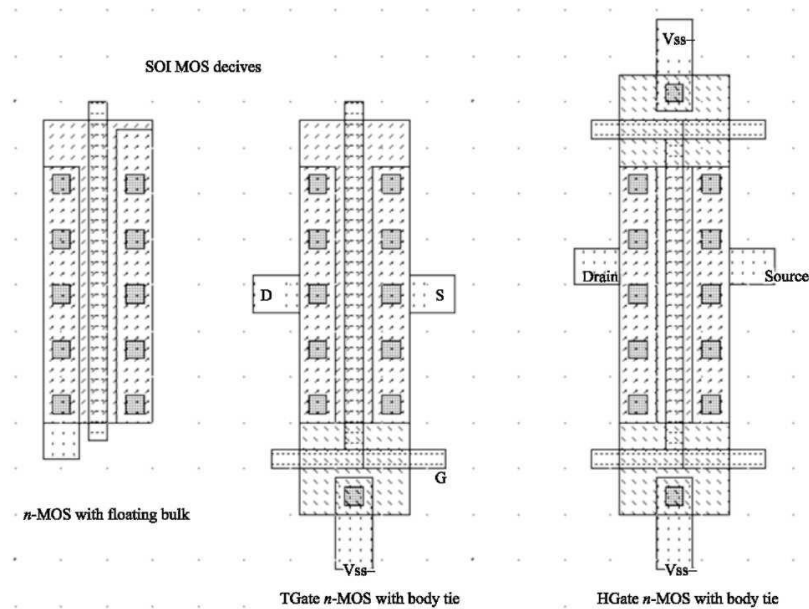


Рисунок. 1.27. Додатковий контакт в частково-збідненому МОН - транзисторі для усунення «кінк»-ефекту.

#### 1.5.4. Терагерцовий МОН елемент.

Терагерцовий ( $10^{12}$  Герц) транзистор – ключовий елемент для розвитку процесорів, елементної надшвидких ІПС, які працюють на частотах 10-20 ГГц. Очікується, що МОН - транзистор із робочою частотою в межах терагерц буде випущено разом з 45 нм технологічним КМОН процесом. У терагерцових КМОН елементах поєднано КНІ - підкладку, коротку довжину затвору, нові матеріали затвору та ізолятор з великою діелектричною проникливістю для затвору. Технологічні проблеми, які потрібно розв'язати стосуються струмів втрат затвору і транзистора та надійності діелектрика. Порівняння між стандартним і терагерцовим КНІ МОН транзистором показано на рис. 1.28 [70].

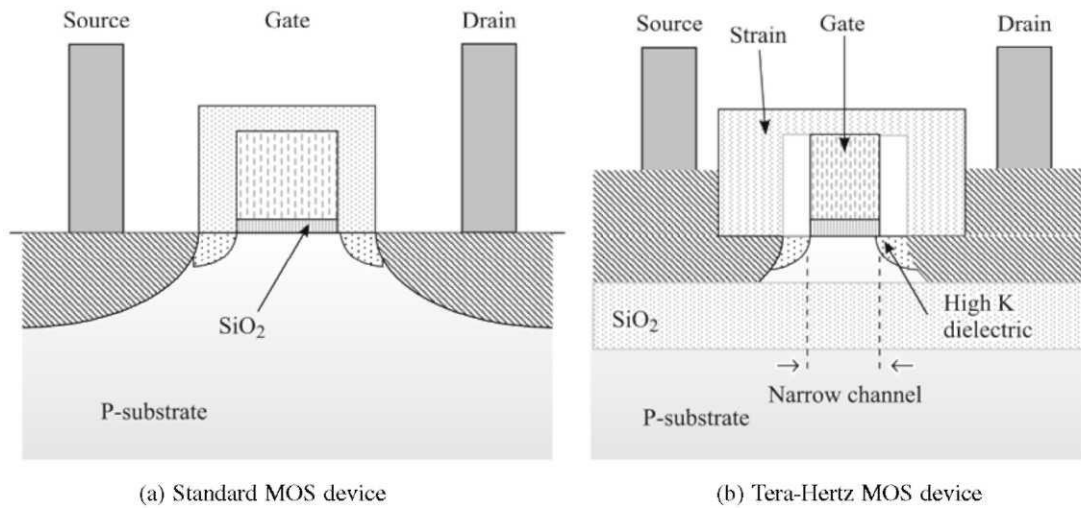


Рисунок. 1.28. Терагерцовий транзистор.



## **РОЗДІЛ 2. ДОСЛІДЖЕННЯ ВЛАСТИВОСТЕЙ КНІ-МАТЕРАЛІВТА МОДЕЛЮВАННЯ БАЗОВИХ ПРИЛАДНИХ КНІ-СТРУКТУР ДЛЯ СТВОРЕННЯ ІНТЕГРАЛЬНИХ ПЕРЕТВОРЮВАЧІВ СИГНАЛІВ**

### **2.1. Дослідження характеристик магнітоопору полікристалічних кремнієвих плівок- на- ізоляторі для ІПС.**

Робота базується на дослідженні магнітопровідності шарів полі кремнію-на-ізоляторі, які знаходяться під дією магнітного поля до 14 Тл при температурах зрідженого гелію. Зразки піддавали деформації для визначення впливу дисперсності матеріалу на низькотемпературну провідність. Розглянуто виникнення ємнісної відносної магнітної провідності при температурах зрідженого гелію, викликане суперпозицією носіїв заряду при низьких температурах у магнітних полях з  $B_{cr} \sim 3T$  в рамках моделі механізму квантового переносу. Визначено концентрацію легуючої домішки у зразках полікремнію, які необхідно використовувати при розробці ІПС механічних величин, що працюють у складних умовах експлуатації, а саме під впливом деформації в сильних магнітних полях до 14Тл при температурах 4,2 К [13].

ІПС можна вважати результатом об'єднання технологій і конструкцій чутливих елементів і вторинних ланцюгів перетворення інформації на монокристалі . Відомо, що в мікроелектроніці широко використовуються шари полікремнію на поверхні окисленої кремнієвої пластини. Незважаючи на простоту отримання полі кремнієвих шарів, необхідно виконати низку процедур, які покращують їх електрофізичні властивості. Можливість модифікувати характеристики полікремнієвих шарів у легуючими домішками в процесі рекристалізації матеріалу відкриває широкий спектр їх застосування в сенсорній електроніці, а використання інтегрованої технології дозволяє розробляти МЕМС- сумісні пристрої в мікросистемах-на-кристалі.[5].

Дослідження електро- та магнітопровідності полікремнію в широкому діапазоні температур дозволяє визначити робочі параметри ІПС. Особливо, коли мова йде про виготовлення сенсорів та ІПС для низьких температур, оскільки в цьому випадку електрофізичні властивості напівпровідників будуть

визначатися ступенем легування і ступенем наближення до металу. З іншого боку, дослідження магнітоопору легованих шарів полікремнію дозволяє поглибити знання про природу їх електропровідності в області криогенних температур, а також їх поведінку при різних зовнішніх впливах, природу і зв'язок цих ефектів і визначити умови легування матеріалу для створення сенсорів, здатних працювати в складних умовах експлуатації, зокрема в сильних магнітних полях. У свою чергу, дослідження, проведені за допомогою імпедансної спектроскопії, тобто методу аналізу повного імпедансу, дозволили розширити фізичні уявлення про перенесення носіїв заряду при низьких температурах, що дає змогу прогнозувати властивості матеріалу залежно від його структури. Однак дослідження реакції матеріалу під впливом зовнішніх факторів, таких як накладення стимульованих деформацією ефектів, може призвести до радикальної зміни шляхів потоку при низьких температурах. Крім того, комплексний вплив кількох факторів, а саме деформації та магнітного поля відкриває широкі можливості для розуміння механізмів провідності при низьких температурах. Аналіз експериментальних результатів щодо впливу деформації на властивості полікристалічних шарів у SemOI-структурах, що знаходяться в сильних магнітних полях при криогенних температурах, дасть змогу розробити рекомендації щодо розробки сенсорів фізичних величин. Тому були експериментально досліджені електрофізичні параметри шарів полікремнію-на-ізоляторі, легованих домішками бору, для використання при розробці сенсорів фізичних величин, що працюють під впливом зовнішніх дестабілізуючих факторів, зокрема магнітного поля з використанням інтегральних тестових елементів і різними концентраціями легуючих домішок (рис.2.1) [19].

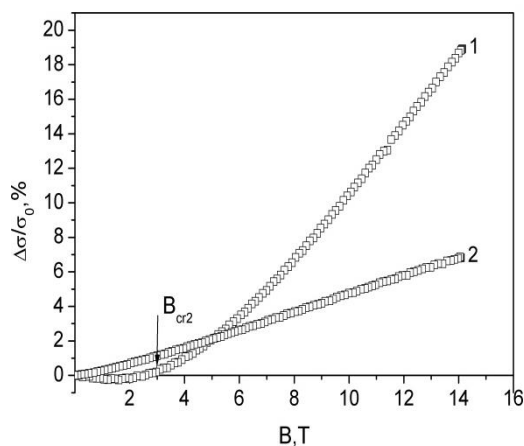


Рисунок 2.1. Магнітопровідність полікремнію-на-ізоляторі з різною концентрацією носіїв заряду при 4,2К: 1 –  $2,4 \times 10^{18} \text{ см}^{-3}$ ; 2 –  $3,9 \times 10^{19} \text{ см}^{-3}$ .

Були також досліджені властивості рекристалізованих шарів полікремнію-на-ізоляторі (рис.2.2), в наступних режимах рекристалізації:

- вихідна потужність 18–24 Вт;
- діаметр розплавленої зони 100–150 мкм;
- перекриття пропускної здатності сканування 20–40%;
- швидкість сканування 10–20 см/с;
- температура підігріву структур 600–650 °С.

Експериментальні результати досліджень плівок полі кремнію-на-ізоляторі під впливом магнітних полів до 14 Тл при криогенних температурах до температури зрідженого гелію наведено (рис.2,3).

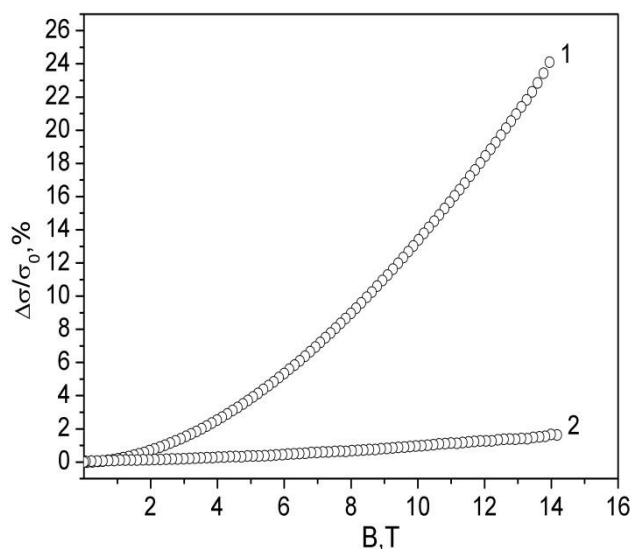


Рисунок 2.2. Магнітопровідність рекристалізованого полікремнію-на-ізоляторі для простих елементів з різною концентрацією носіїв заряду при

4,2 К:  $1 - 4,8 \times 10^{18} \text{ см}^{-3}$ ;  $2 - 1,7 \times 10^{20} \text{ см}^{-3}$ .

Концентрація носіїв заряду в зразках полікремнію за дослідженнями коефіцієнта Холла відповідала значенням в діапазоні від  $7 \times 10^{17}$  до  $1,7 \times 10^{20} \text{ см}^{-3}$ , що покриває перехід метал-діелектрик для кремнію ( $5 \times 10^{18} \text{ см}^{-3}$ ) від діелектрика до металевої сторони переходу. Структура та морфологія полікремнієвих резисторів-на-ізоляторі змінювалася від дрібнокристалічної (близько 30 нм) до великокристалічної (близько 300 мкм) залежно від режимів процесу лазерної рекристалізації для гомогенізації матеріалу. Для визначення впливу дисперсності матеріалу на низькотемпературну електропровідність зразки піддавали деформації (рівень деформації  $\varepsilon = -3,8 \times 10^{-3}$  відн. од.). Одноосьову деформацію стиснення здійснювали за допомогою різниці коефіцієнтів теплового розширення мідної підкладки та прикріпленої полікремній-на-ізоляторі структури. Наведено результати досліджень магнітоопору як деформованих, так і недеформованих зразків таких структур (рис.2.3).

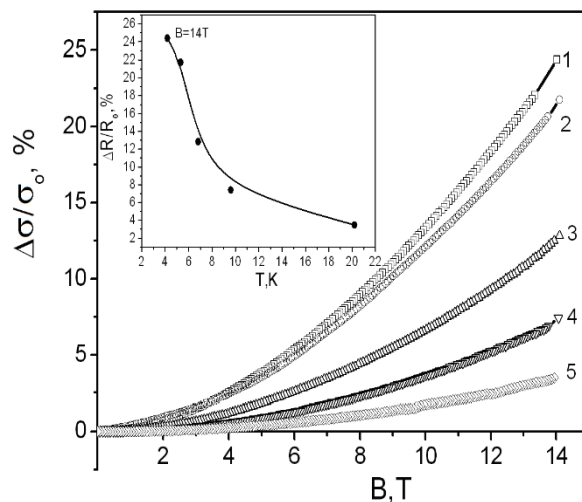


Рисунок 2.3. Магнітопровідність рекристалізованих шарів полікремнію з  $r_{300} \text{ К} = 4,8 \times 10^{18} \text{ см}^{-3}$  при різних температурах (К): 4,2 (1), 5,3 (2), 6,8 (3), 9,6 (4), 20,2 (5). Вставка: температурна залежність магнітної провідності.

Для опису природи магнітопровідності зразків низьколегованого полікремнію з напівпровідниковою провідністю використано модель, згідно з якою позитивна магнітопровідність пояснюється деформацією хвильових функцій локалізованих дірок під дією магнітного поля [28].

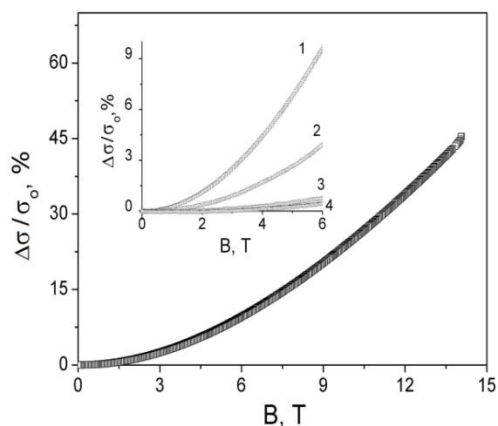


Рисунок 2.4. Магнітопровідність шарів деформованого рекристалізованого полікремнію з  $\rho_{300\text{ K}} = 4,8 \times 10^{18} \text{ см}^{-3}$  при  $T=4,2 \text{ K}$ ; на вставці: при різних температурах (К): 4,2 (1), 6,7 (2), 14 (3), 20 (4).

Для полікристалічних матеріалів залежно від середнього розміру зерен і рівня легування той чи інший механізм перенесення носіїв заряду стає домінуючим.

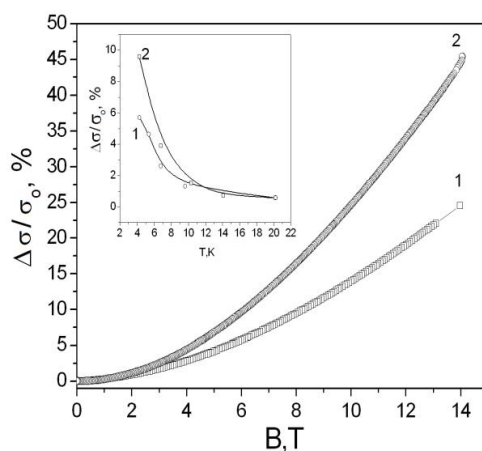


Рисунок 2.5. Магнітопровідність недеформованого (1) та деформованого (2) рекристалізованого полі кремнію-на-ізоляторі  $\rho_{300\text{ K}} = 4,8 \times 10^{18} \text{ см}^{-3}$  при  $T=4,2 \text{ K}$ ; На вставці: залежність магнітної провідності від температури в діапазоні 4,2-30 К.

Залежність магнітної провідності деформованих (деформація одновісного стиснення) шарів полікремнію, які піддалися лазерній рекристалізації, від криогенних температур відображено на рис. 2.5. З порівняння рис. 2.4 і 2.5 бачимо, що магнітна провідність деформованого

полікремнію більша ніж для недеформованого з концентрацією носіїв  $p300$   $K=4,8 \times 10^{18} \text{ см}^{-3}$ . Це зумовлено підвищенням тензочутливості за рахунок лазерної рекристалізації. У некристалізованому полікремнії з  $p300$   $K=2,4 \times 10^{18} \text{ см}^{-3}$  деформація зразка значно менше впливає на його магнітну провідність [13].

Для застосування отриманих результатів при виготовленні мікроелектронних сенсорів, що працюють у складних умовах, необхідно врахувати значне підвищення коефіцієнта тензочутливості для зразків з концентрацією  $p300$   $K=4,8 \times 10^{18} \text{ см}^{-3}$ . Так, для таких шарів коефіцієнт тензочутливості досягає 325 при температурі 4,2 К. Це можна використовувати для створення дискретних датчиків деформації або для MEMS-сумісних ІПС (рис. 2.6.), які працюють при криогенних температурах у сильних магнітних полях до 14 Тл.

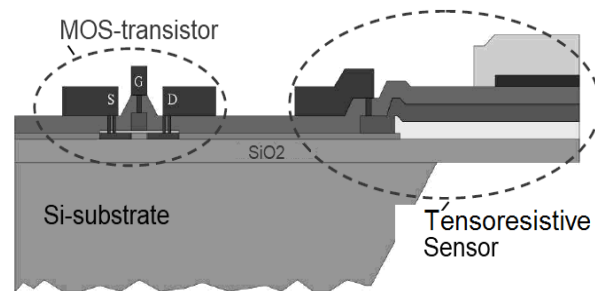


Рисунок 2.6. Схематичний перетин КНІ MEMS сумісного ІПС.

## 2.2. Частотні характеристики полікремнієвих плівок-на-ізоляторі

АЧХ полікремнієвих плівок-на-ізоляторі досліджували для діапазону температур 4,2-70К, концентрацій домішки від  $2,4 \times 10^{18}$  до  $1,7 \times 10^{20} \text{ см}^{-3}$  в діапазоні частот 0,010-250 кГц шляхом дослідження та її аналіз методом еквівалентної схеми. Ці дослідження викликають значний інтерес для створення ІПС для мікросистем них використань.

Для дослідження використовували тестові структури полікристалічних резисторів на ізоляторі до та після лазерної рекристалізації. Вимірювання електричного змінного струму, проведеного по шару полікремнію, легованому бором, концентрація носіїв  $2,4 \times 10^{18} \text{ см}^{-3}$  і  $3,9 \times 10^{19} \text{ см}^{-3}$  до рекристалізації та відповідно  $4,8 \times 10^{18} \text{ см}^{-3}$  і  $1,7 \times 10^{20} \text{ см}^{-3}$  після лазерної перекристалізації [3]. Лазерна рекристалізація як метод модифікації електрофізичних властивостей

структур полікремній-на-ізоляторі описана в роботі [15]. Модуль імпедансу досліджуваних зразків вимірювали за допомогою приладу Lock In Amplifier 7265 DSP фірми Amiteck на змінному струмі в діапазоні частот  $0,01 \div 250$  кГц в діапазоні температур  $4,2-70$  К. Для вибору підсилювача синхронного сигналу використовується фазочутливий опорний сигнал частоти синхронного детектування. Для синхронного виявлення необхідний опорний сигнал фіксованої частоти, а часовий графік може бути в діапазоні від  $10$  мкс до  $100$  кс. Тестова система отримує збудження від цього сигналу, а відповідь системи аналізується синхронним підсилювачем. Метод заснований на простому перемноженні гармонійних сигналів.

Наявність в корисному сигналі шумів в широкому діапазоні частот усувається фазовим детектором і фільтром низьких частот. А шумові компоненти поблизу опорної частоти викличуть низькочастотні коливання вихідного сигналу. Ступінь придушення цих коливань залежить від постійності часу фільтра і його крутизни. Чим більше час постійний, тим вужча смуга пропускання корисного сигналу і краще пригнічуються шумові компоненти. Через синхронний детектор вільно проходить тільки сигнал на частоті опорного генератора. Отримані частотні залежності були перетворені в дійсні  $Z'$  та уявні компоненти імпедансу та провідності  $Z''$  з подальшим аналізом експериментальних даних у рамках апроксимації еквівалентної схеми. Результати досліджень некрystalізованих полікремнієвих шарів на ізоляторі з  $N=2,4 \times 10^{18} \text{ см}^{-3}$  показано на рис. 2.7 при низьких температурах. [37].

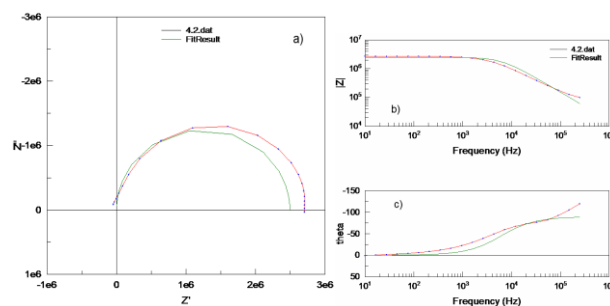


Рисунок 2.7. Частотна залежність уявної складової опору від істинного (а), повного опору (б) і тангенса втрат (с) шару полі кремнію на ізоляторі з концентрацією носіїв заряду  $2,4 \times 10^{18} \text{ см}^{-3}$  при температурі  $4,2$  К.

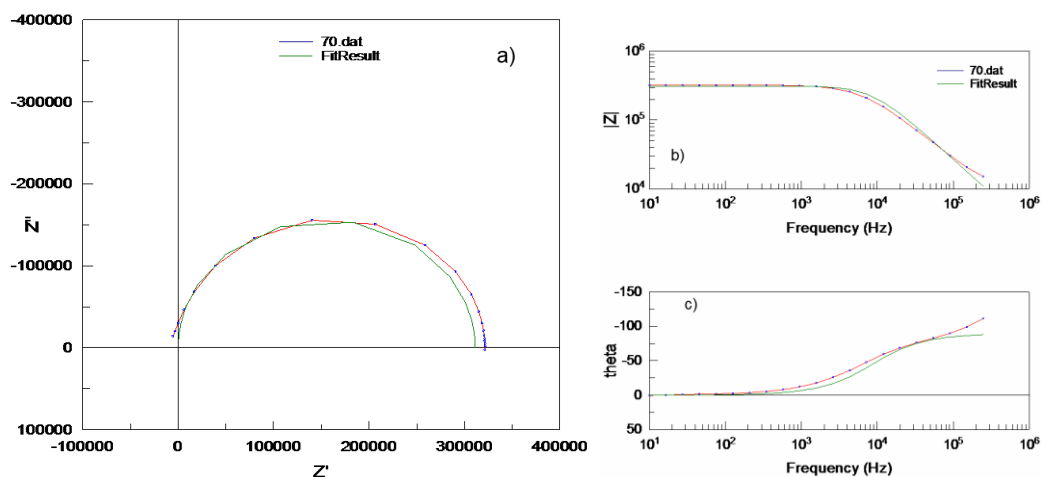


Рисунок 2.8. Частотна залежність уявної складової опору від істинного (а), повного опору (б) і тангенса втрат (с) шарів полі кремнію-на-ізоляторі з концентрацією носіїв заряду  $2,4 \times 10^{18} \text{ см}^{-3}$  при температурі 70К.

Експериментальні дослідження рекристалізованих полікремнієвих шарів на-ізоляторі з  $N=4,8 \times 10^{18}$  при низьких температурах наведені на рис. 2.9.

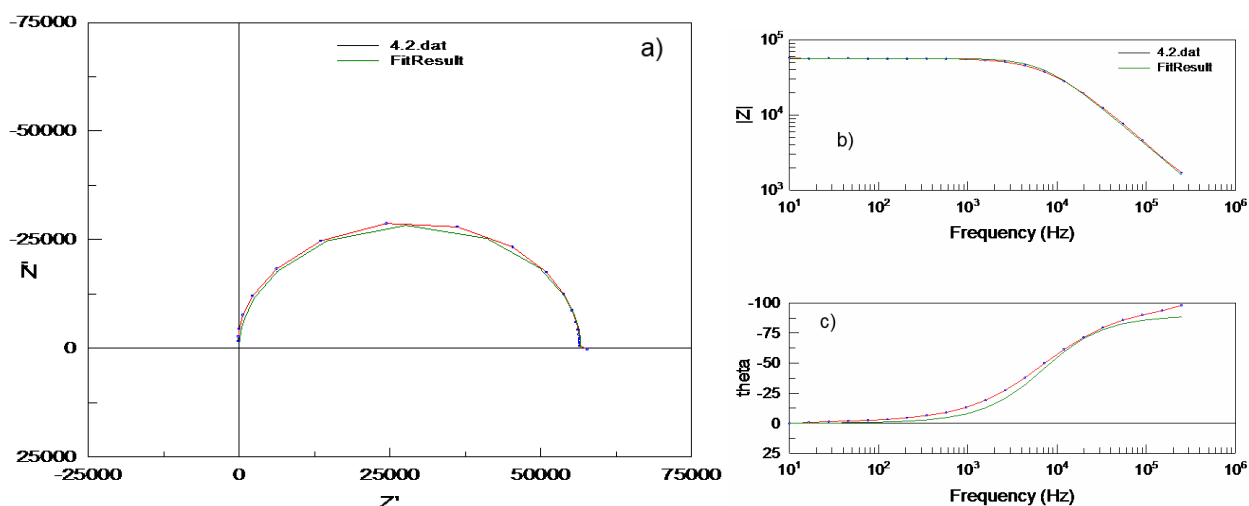


Рисунок 2.9. Частотна залежність удаваної складової опору від істинного (а), повного опору (б) і тангенса втрат (с) рекристалізованих зразків полі кремнію-на-ізоляторі з концентрацією носіїв заряду  $4,8 \times 10^{18} \text{ см}^{-3}$  при температурі 4,2К.



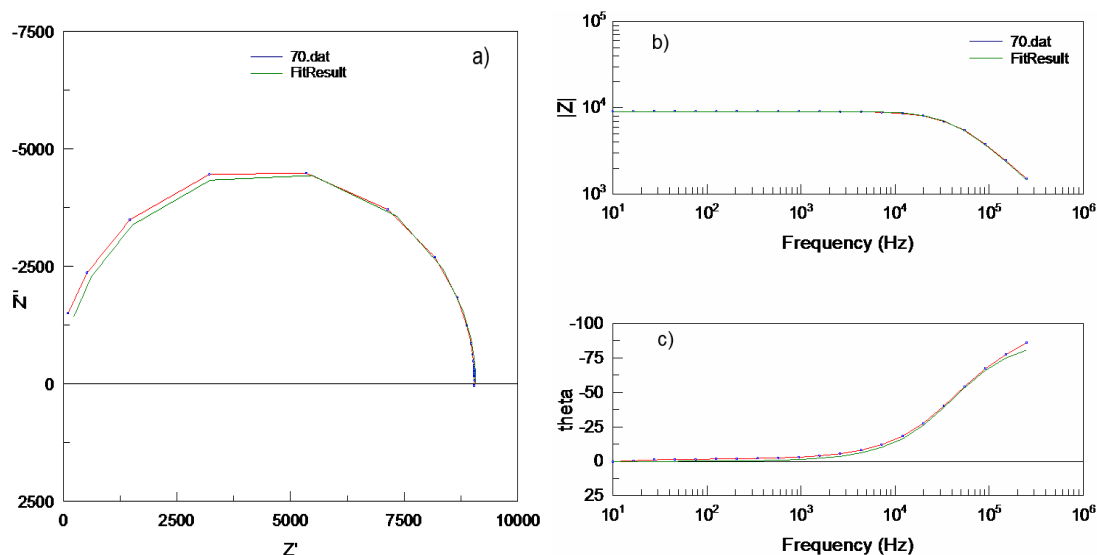


Рисунок 2.10. Частотна залежність уявної складової опору від істинного (а), повного опору (б) і тангенса втрат (с) рекристалізованих зразків полі- кремнію-на-ізоляторі з концентрацією носіїв заряду  $4,8 \times 10^{18} \text{ см}^{-3}$  при температурі 70К.

На рис. 2.11 наведено результати експериментальних досліджень рекристалізованого полікремнію-на-ізоляторі з концентрацією домішки бору  $N=1,7 \times 10^{20} \text{ см}^{-3}$  в інтервалі температур 4,2-70К.

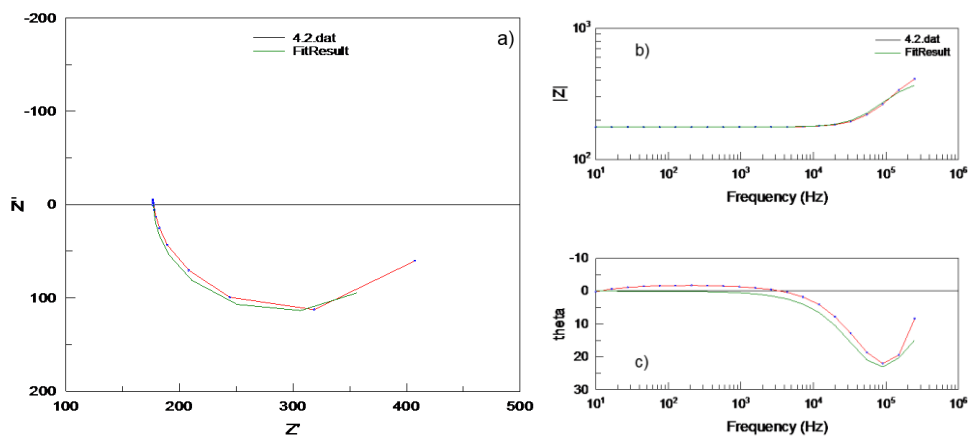


Рисунок 2.11. Частотна залежність уявної складової опору від істинного (а), повного опору (б) і тангенса втрат (с) рекристалізованих зразків полі кремнію-на-ізоляторі з концентрацією носіїв заряду  $1,7 \times 10^{20} \text{ см}^{-3}$  при температурі 4,2К.

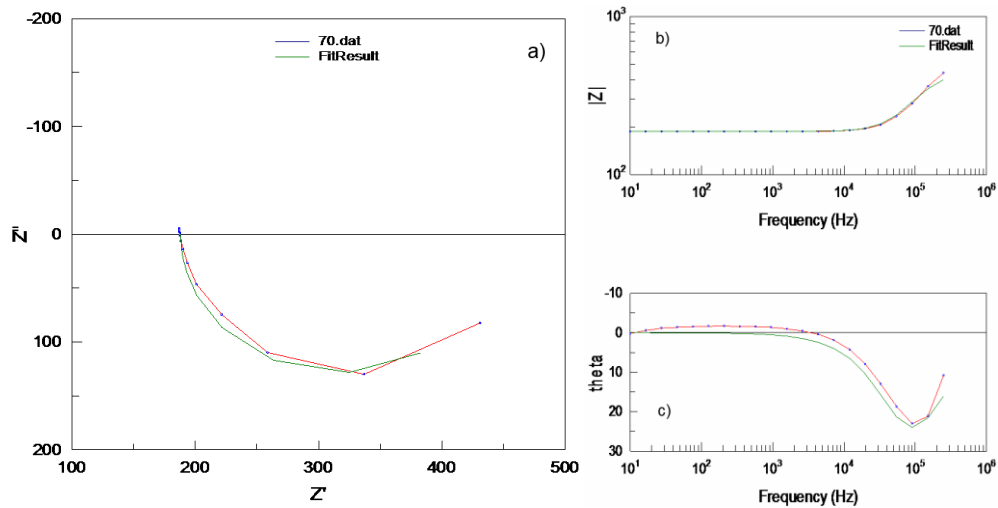


Рисунок 2.12. Частотна залежність уявної складової опору від істинного (а), повного опору (б) і тангенса втрат (с) рекристалізованих зразків полі кремнію-на-ізоляторі з концентрацією носіїв заряду  $1,7 \times 10^{20} \text{ см}^{-3}$  при температурі 70К.

На відміну від зразків з концентрацією домішки бору, яка відповідає перехідному металу-діелектрику, де ємнісний опір присутній у високолегованому полікремнії з  $N=1,7 \times 10^{20} \text{ см}^{-3}$ , аналіз імпедансу методом еквівалентної схеми показав, що провідність стає індуктивною в діапазоні температур 4,2-70К.

Отже, експериментальні дослідження АЧХ полікристалічних плівок з різною концентрацією легуючої домішки в полі кремній-на-ізоляторі структурах за низьких температур показали, що дисперсність матеріалу сильно залежить від лазерної рекристалізації матеріалу, яка активує носії заряду в шарах полі кремнію-на-ізоляторі р- типу провідності та істотно змінює зони їх перенесення. Так для дрібнозернистих з  $N=2,4 \times 10^{18} \text{ см}^{-3}$  та  $N=4,8 \times 10^{18} \text{ см}^{-3}$  плівок полікремнію р-типу характерна ємнісна поведінка повного опору плівки в діапазоні температур 4,2-70К і змодельована в паралельно включені резистор і конденсатор. Поряд з цим, для високолегованих плівок полі кремнію-на-ізоляторі з  $N=1,7 \times 10^{20} \text{ см}^{-3}$  характерна індуктивна поведінка повного опору, змодельована послідовно включеними резисторами та паралельною індуктивністю [80]. Очевидно, це викликано значним впливом лазерної рекристалізації на морфологію плівки. Провідність у таких шарах зумовлена надмірним вивільненням носіїв заряду з пасток, локалізованих на міжзеренних

границях. Крім того, як показали результати моделювання, послідовне ввімкнення резисторів свідчить про те, що лазерна рекристалізація призводить до утворення довгих провідних кластерів, у яких переносяться носії заряду.

### 2.3. Моделювання динамічних параметрів КНІ КМОН- транзисторних структур з екранованими затворами.

Для обґрунтування вибору проектних норм проектування топології транзисторних елементів ІПС на основі КНІ КМОН- транзисторних структур були спроектовані тестові n- і p-канальні КНІ МОН- транзистори (рис.2.13), проведено моделювання їх статичних ВАХ (рис.2.14-2.15) і динамічних параметрів (рис.2.16-2.17). Довжина і ширина каналу n-канального транзистора становить відповідно  $L=2$  мкм і  $W=10$  мкм. [92].

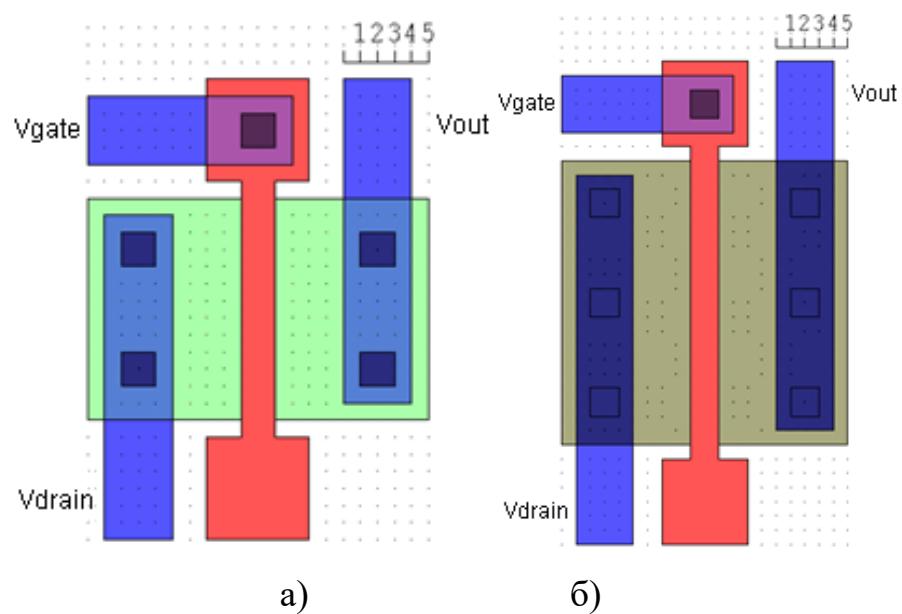


Рисунок 2.13. Топології n- (а) p-канального (б) КНІ МОН-транзисторів

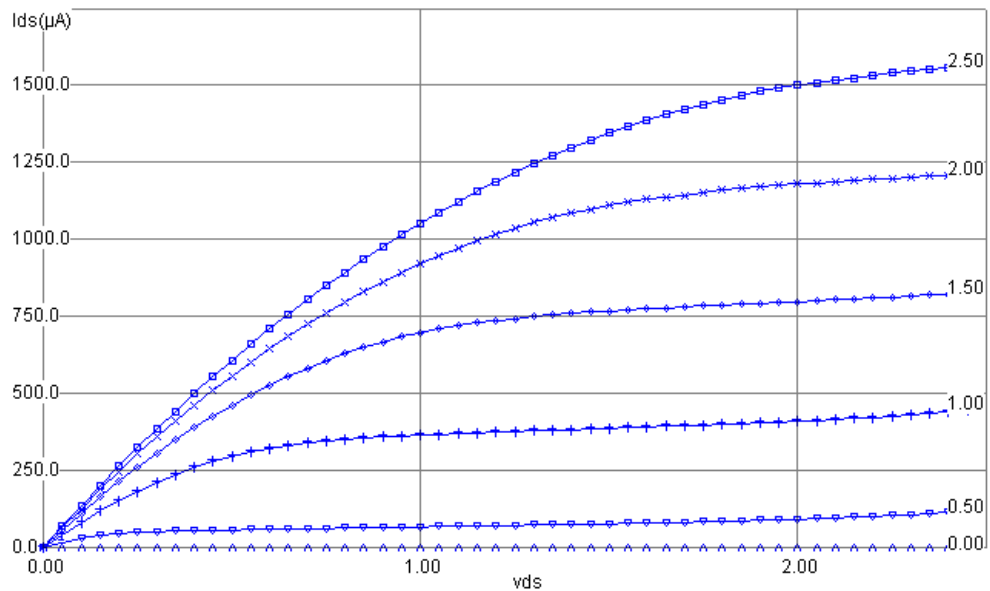


Рисунок 2.14. ВАХ n-канального КНІ МОН - транзистора ( $W/L=10/2\mu\text{м}$ )

Шляхом зміни ширини каналу встановлено, що однаковий струм насичення n- і р-канальних транзисторів буде при ширині каналу р-канального транзистора  $W=20\mu\text{м}$  і довжині каналу  $L=2\mu\text{м}$ . ВАХ такого р-канального транзистора зображено на рис. 2.15.

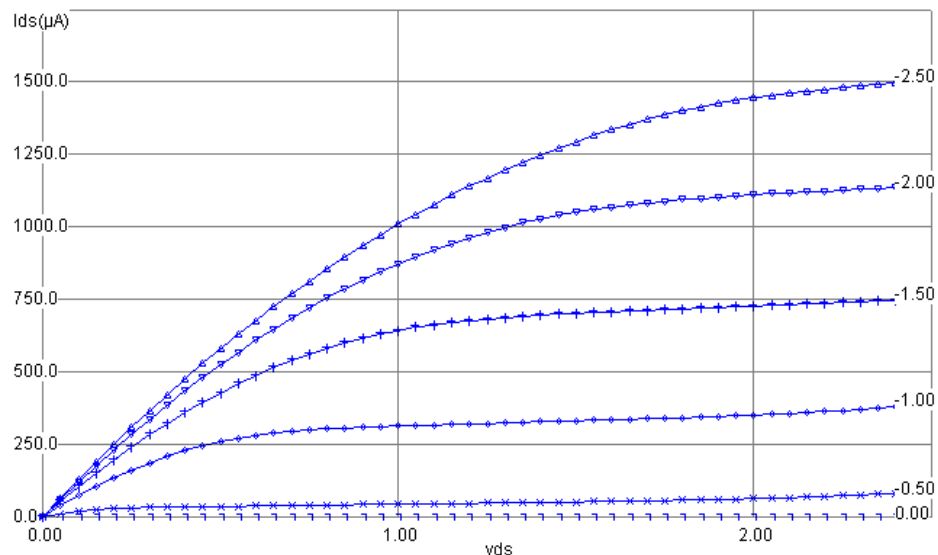


Рисунок 2.15. ВАХ р-канального КНІ МОН- транзистора  $W/L=20/2$

Для оцінки динамічних часових транзисторів було проведено динамічне моделювання р- і n- канальних КНІ МОН - транзисторів шляхом подачі змінної напруги на затвор та стік для топології згідно з рис.2.13 та вищевказаними топологічними розмірами.

Режими моделювання: на стоки n- і p- канальних КНІ МОН - транзисторів було подано змінний імпульсний сигнал з частотою 200 МГц, амплітудою 2,5 В, часом наростання і спадання фронтів імпульсів – 0,5 нс та тривалістю імпульсу 2 нс, а на затвор – сигнал частотою 100 МГц, амплітудою 2,5 В, часом наростання і спадання фронтів імпульсів – 0,5 нс та тривалістю імпульсу 4,5 нс. Результати моделювання n-канального КНІ МОН- транзистора зображено на рис. 2.16.

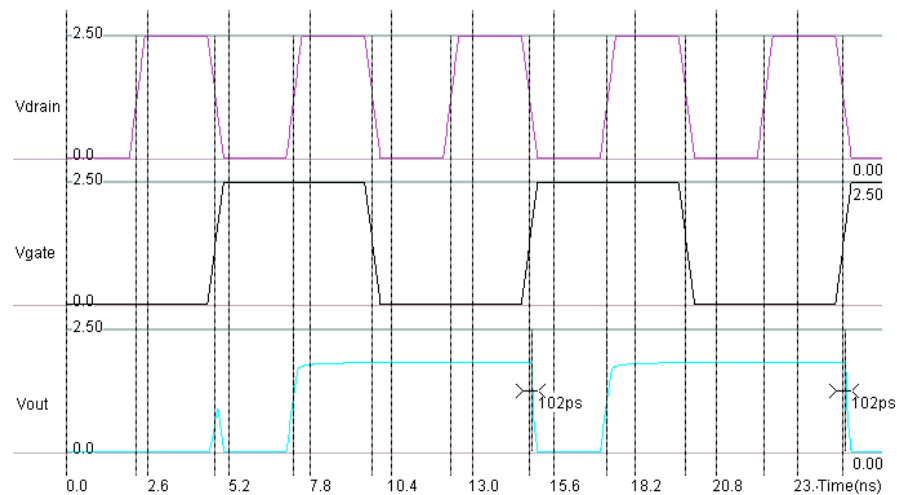


Рисунок 2.16. Часові діаграми динамічного моделювання n-канального КНІ МОН- транзистора.

При умові, якщо напруга на затворі  $V_{gate} = 0$  В, n-канальний МОН-транзистор вимкнений і включений при напрузі  $V_{gate} = 2,5$  В. Протягом часу від 0 до 4 нс напруга на виході  $V_{out}=0$  В. Коли транзистор включений, напруга на виході  $V_{out}$  повторює сигнал на стоці  $V_{drain}$ . Після цього, якщо затвор знову закритий, напруга  $V_{out}$  залишається майже незмінною. Оскільки межу розділу p-підкладки і n+-дифузії можна вважати конденсатором, то його заряд зберігає величину напруги стабільною незалежно від флуктуацій на витоці. Результати моделювання p- канального КНІ МОН- транзистора зображено на рис. 2.17.

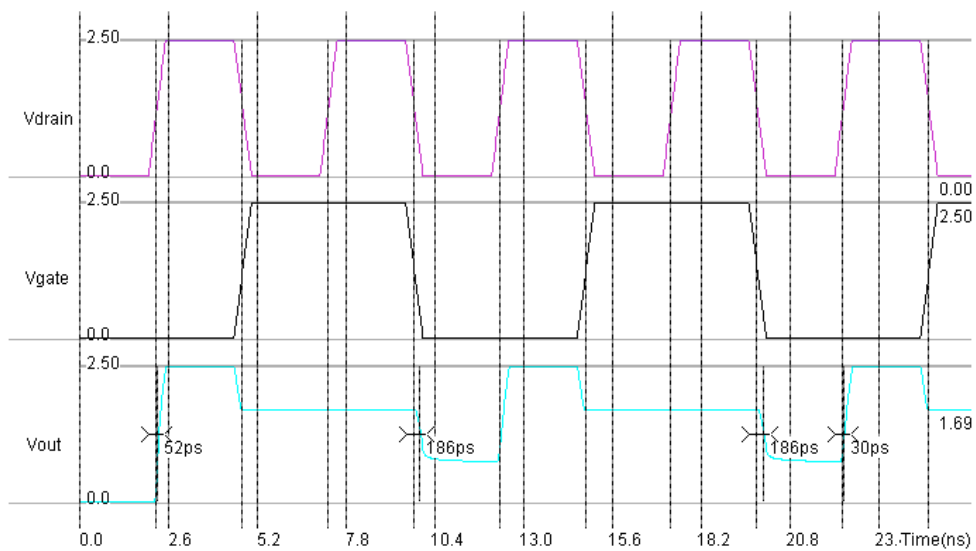


Рисунок 2.17. Часові діаграми динамічного моделювання р-канального КНІ МОН-транзистора [97].

При напрузі на затворі  $V_{gate} = 0$  В, р-канальний КНІ МОН-транзистор включений, при напрузі  $V_{gate} = 2,5$  В – вимкнений. При напрузі  $V_{gate} = 0$  В, напруга на виході  $V_{out}$  повторює сигнал стоку  $V_{drain}$ . Далі при напрузі  $V_{gate} = 2,5$  В, значення напруги  $V_{out}$  зберігається на рівні 1,7 В, оскільки канал вимкнений синхронно із зміною сигналу  $V_{drain}$ . Також важливим є те, що напруга  $V_{out}$  не досягає значення нуля, а має мінімальне значення близько 0,7 В, що пояснюється наявністю порогової напруги.[51]. Таким чином р-канальний транзистор веде себе, як перемикач, але коли він включений, то на виході ми отримуємо недостовірний логічний нуль.

Отже, з результатів моделювання КНІ МОН- транзисторів видно, що для досягнення симетричних ВАХ n- і р-канальних транзисторів, ширина каналу для р-канальних має бути в 2 рази більшою, ніж n-канальних. Ці результати добре корелюють з транзисторами на основі об'ємних МОН-структур.

#### 2.4. Особливості проектування топологій транзисторних елементів ІІС зі структурами КНІ й керованим «кінк»- ефектом.

В КНІ МОН- приладах, коли у МОН транзисторі з n-каналом протікає сильний струм між виток і стоком, виникає паразитний ефект, який називають «кінк-ефект». Струм  $I_{ds}$  раптово зростає та спричиняє стрибок провідності, звичайно між 0.5 В і 1 В для 0.12 мкм КМОН технології.

Походження цього паразитного ефекту – ударна іонізація високоенергетичних електронів, що входять в область витoku, яка створює додаткові позитивні і негативні заряди під затвором [33].

Поки електрони беруть участь в струмі  $I_{ds}$ , шар ізолятора перешкоджає позитивним зарядам перейти в підкладку, що має місце в об'ємній технології завдяки заземленню підкладки. Позитивні заряди накопичуються під затвором (рис. 2.18) і заряд тіла КНІ МОН елемента може бути досить високим. Підвищення локальної напруги під затвором сильно впливає на порогову напругу, яка зменшується. Проте цей негативний ефект може бути використаний для створення елементів пам'яті, який ґрунтується на тому, що наявність позитивного заряду під затвором можна умовно вважати за логічну «1», а його відсутність – за логічний «0», обрамлюючи такий транзистор елементами схем управління, запису і зчитування створювати специфічні запам'ятовуючі пристрої[66].

В певний момент напруга зміщення  $PN$  переходу між  $P$ -легованим об'ємом і  $N+$ - легованим витком стає достатньо високою, щоб відкрити перехід, що приводить до раптового зростання струму через канал, як видно на характеристиках  $I_d/V_d$  (рис. 2.19). Цей ефект також називають ефектом плаваючого тіла (FBE). Оскільки ударна іонізація більш шкідлива для МОН елементів з  $n$ -каналом, ніж для МОН елементів з  $p$ -каналом, кінк-ефект є більш явним у  $n$ -каналі, ніж в  $p$ -каналі.

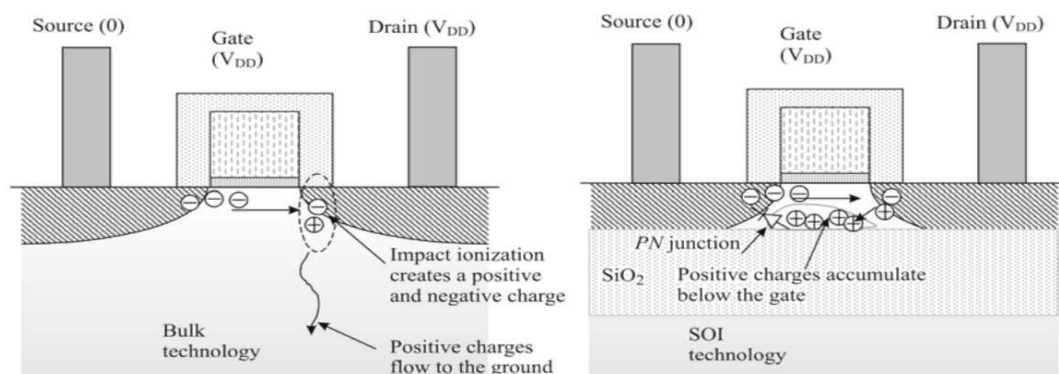


Рисунок 2.18. Ударна іонізація створює накопичення позитивних зарядів під затвором КНІ.

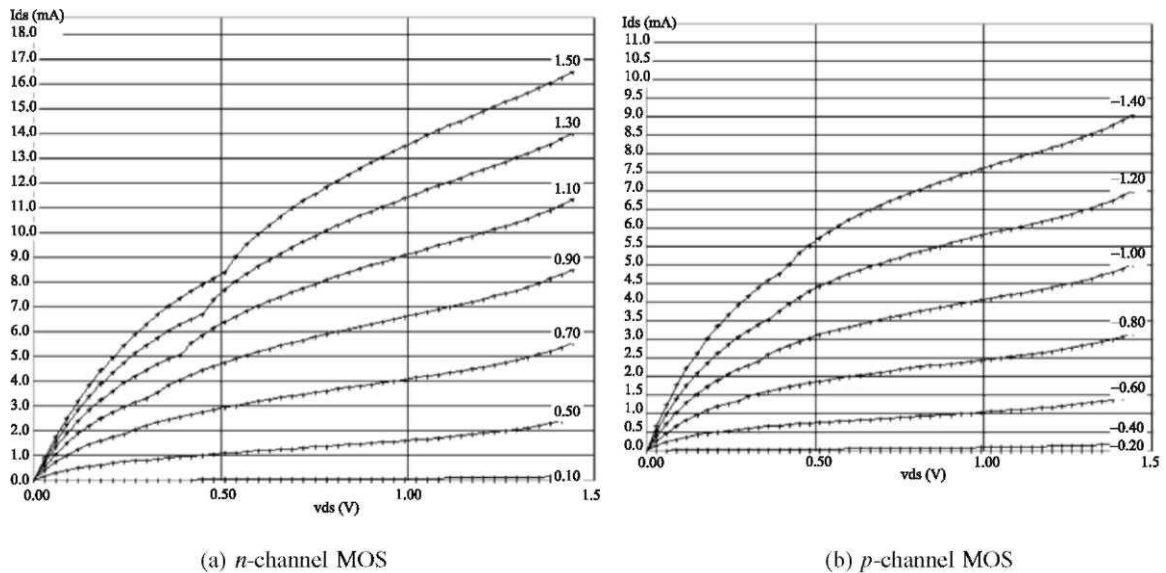


Рисунок 2.19. Характеристики струму витoku елементів КНІ з *n*-каналом і *p*-каналом показують «кінк-ефект» біля насиченості

Повністю збіднений МОН. Можливістю для зменшення впливу FBE є використання дифузійного каналу, так що для накопичення позитивних зарядів більше не буде місця, і тому майже не буде «кінк-ефекту». Пр цьому області витoku і стоку звичайно виготовляються із збільшеною товщиною над шаром ізолятора SiO<sub>2</sub>.

Повністю збіднені МОН елементи набагато важче технологічно виготовляти (через різницю товщин стік - витоківих областей і підканальної області) й керувати ними. Потрібне кероване технологічним процесом регулювання низьких порогових напруг  $V_t$ . Високошвидкісні та надвисокошвидкісні МОН пристрої є дуже складними через дуже тонку дифузну область під затвором (рис. 2.20.) Ці перешкоди зробили повністю збіднений МОН менш привабливим, ніж частково збіднений МОН. Параметри КНІ технології, доступні в Microwind, відповідають частково збідненій МОН технології.



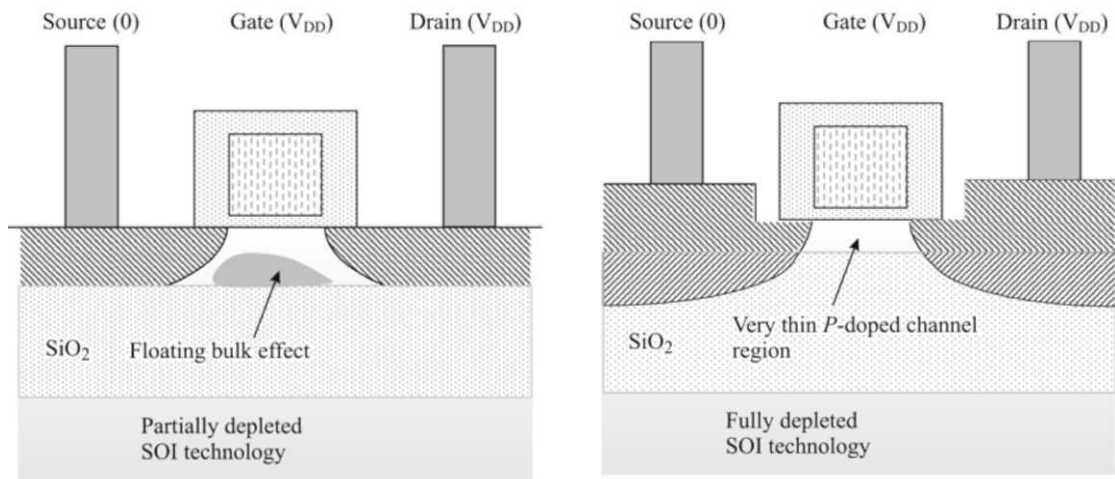


Рис. 2.20. Повністю збіднений МОН пристрій не має більше «кінк-ефекту», але має декілька перешкод виробництва і проектування.

Модель пристрою КНІ - об'ємні кремнієві моделі як, наприклад, LEVEL3 чи BSIM4 звичайно не включають витокові/об'ємні діодні струми, тому що на переходи звичайно подається зворотня напруга і вони можуть розглядатися як перехідні конденсатори. Проте це не так для КНІ елементів, де на витокові/об'ємні переходи можуть подаватися істотні прямі напруги завдяки ударній іонізації, яка провокує накопичення позитивних зарядів під затвором.

«Кінк-ефект» дуже слабкий в повністю і частково збіднених КНІ КМОН елементах. Тому можна застосовувати модель BSIM4 з розумною точністю, оскільки основні фізичні і робочі принципи подібні.

У Microwind, «кінк-ефект» моделюється у разі частково-збіднених пристроїв КНІ, завдяки новому параметру  $AKHI$ . Деталі цієї моделі в SPICE надані, де розглянуто поперечний біполярний елемент, зроблений з витоку, каналу і стокових областей. Модель КНІ КМОН структури включає повну модель пристрою NPN у випадку  $n$ -каналу МОН, і моделі пристрою PNP у разі  $p$ -каналу МОН. Простіше виконання, запропоноване в Microwind, полягає в зміні моделі насиченого струму безпосередньо, де кінк-ефект найбільш важливий.

Вводиться новий параметр, названий АКНІ. Кінк-ефект спостерігається, коли напруга  $V_{DS}$  вища, ніж напруга насичення  $V_{dsat}$ . Параметр АКНІ визначає амплітуду «кінку». Вводиться новий доданок, як показано в рівнянні. Цей

підхід – спрощена версія моделі, що використовується в моделі пристрою КНІ BSIM3.

$$I_{ds} = I_{ds\_bsim4} \left( 1 + \frac{ASOI}{L_{eff} V_t \sqrt{V_{DS} - V_{dsat}}} \right) \quad (2.1)$$

$L_{eff}$  - довжина каналу пристрою (м);  $V_{DS}$  - різниця напруги між стоком і витком (В);  $V_{dsat}$  - напруга насичення (В);  $V_t$  - порогова напруга пристрою (В);  $ASOI$  - технологічний параметр для врахування кінк-ефекту (типове значення  $2 \times 10^6$  В/см).

Оскільки товщина шару оксиду може бути зменшена до 2 нм і нижче, квантовий механізм прямого тунелювання крізь шар оксиду стає досить помітним. Струм затвору зростає і починає конкурувати з струмом каналу і, врешті, впливає на потенціал елемента. Ще більш складні моделі як, наприклад, BSIMPD було розвинено для точного моделювання таких МОН нанопристроїв.

Особливості проектування КНІ-приладів - приймаючи частково-збіднену КНІ- технологію, «кінк-ефект» може бути зменшений додаванням поляризаційного контакту із землею, який допомагає забирати накопичені заряди за межами каналу. Т-подібні і Н-подібні КНІ МОН- транзистори із з'єднанням із землею показано на рис. 2.22. [111]

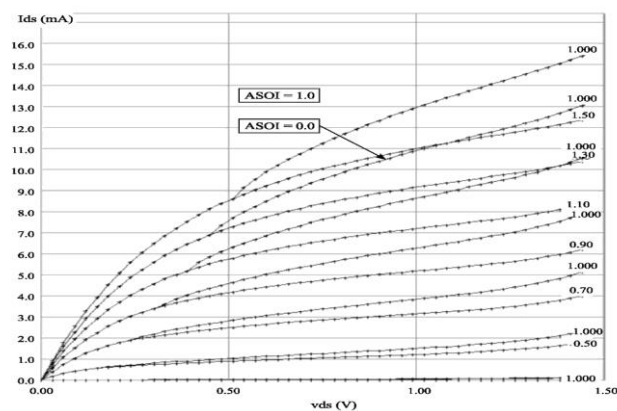


Рис. 2.21. Вплив параметру АКНІ на характеристики  $I_d/V_d$

КМОН пристрій з лівого боку не має ніякого заземляючого контакту, і може зазнавати впливу кінк-ефекту, як тільки напруга  $V_{DS}$  стане вищою за 0.5 В. Т-подібний КМОН елемент має додаткову дифузійну область, яка сполучена з областю  $p$ -каналом з одного боку і контактом землі  $V_{SS}$  з іншого.

Новий контакт є досить ефективним внизу Т-подібного МОН елемента, але не може швидко забирати заряди, накопичені у верхній частині каналу. Покращений варіант (Н-подібна форма) складається з двох додаткових контактів, одного внизу і одного вгорі, які майже повністю усувають «кінк-ефект». Головною незручністю таких контактів є істотне збільшення площі елемента і потреба у зв'язках з  $V_{SS}$  в кожному МОН елементі. Важливі переваги технології КНІ в термінах компактного розташування елементів дещо втрачаються, оскільки додаткові контакти забирають цінну площу кремнієвої підкладки[94].

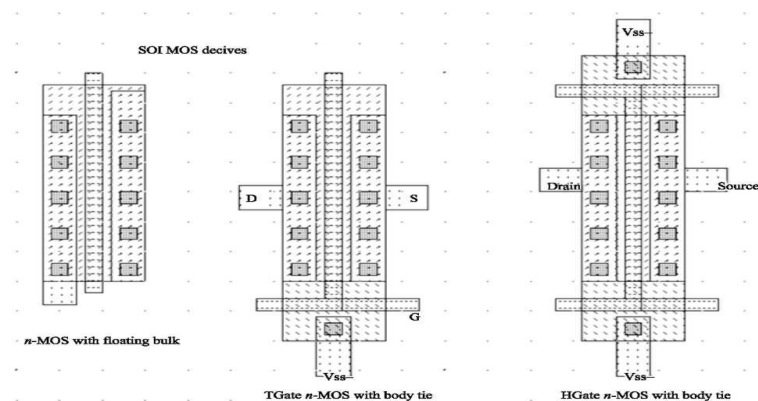
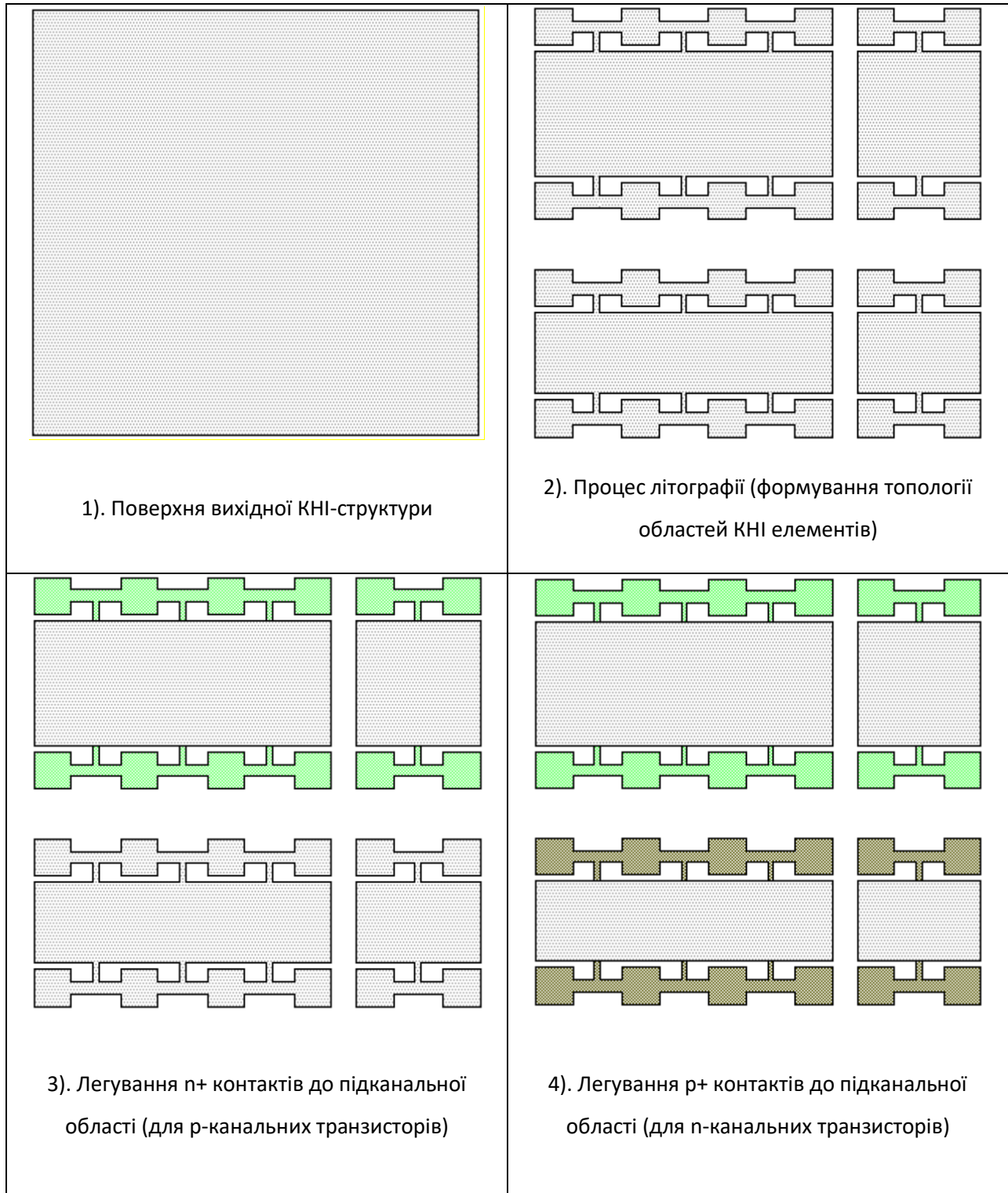


Рисунок 2.22. Додатковий контакт в частково-збіднений МОН для усунення кінк-ефекту

Приклад проектування топології і базові технологічні операції формування регулярних матричних КНІ КМОН - структур з контактами до підканальної області і керованим кінк-ефектом та можливостями подвійного керування КНІ МОН – транзисторними структурами зображено на рис.2.22.



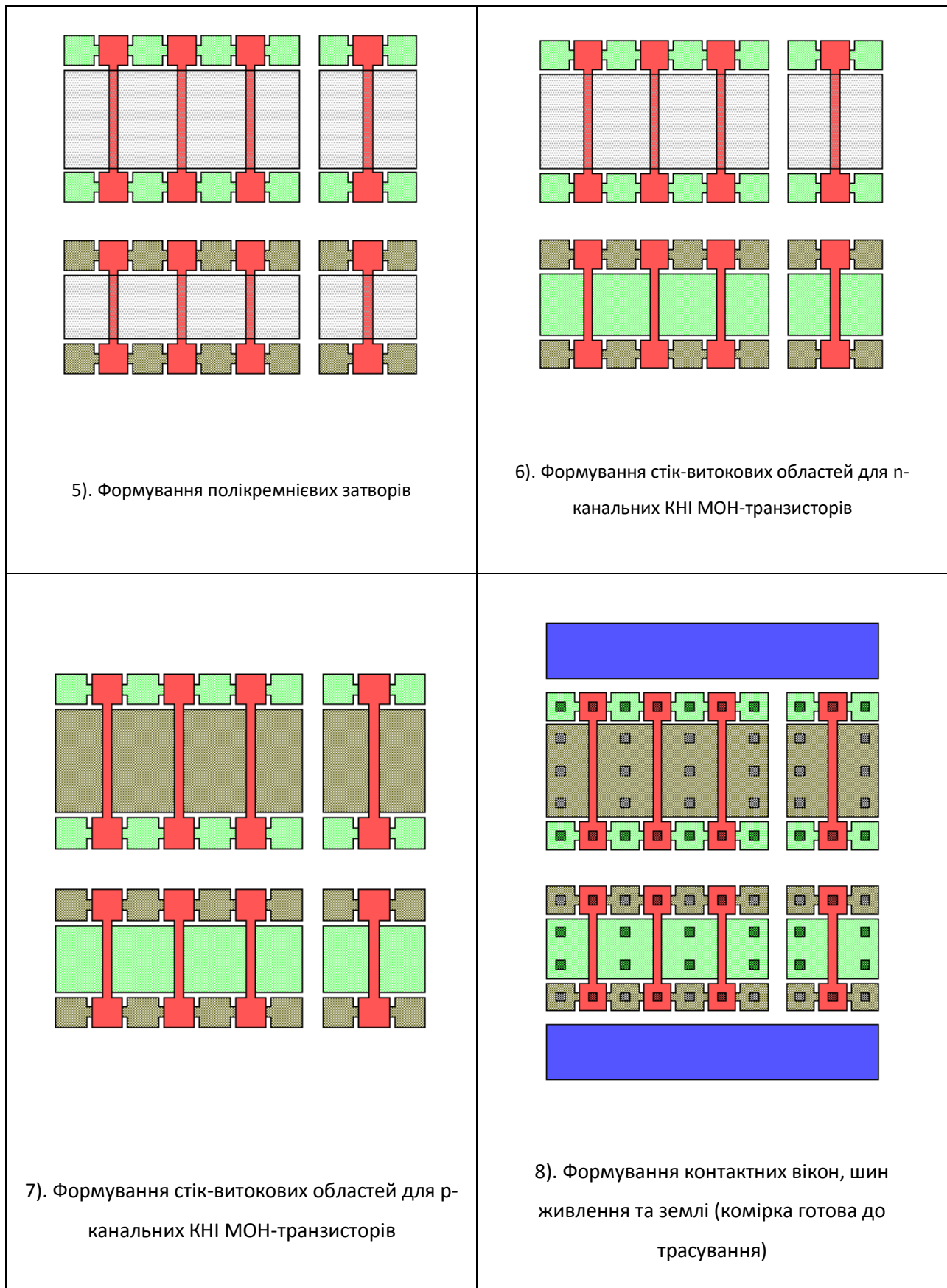


Рисунок 2.23. Приклад проектування топології і базові технологічні операції формування регулярних КНІ КМОН - структур з контактами до підканальної області і керованим кінк-ефектом у комірці БМК.

## 2.5. Оптимізація зменшення енергії перемикання КМОН- інверторів, як базових логічних елементів ІПС

КМОН інверторні схеми є базовими для побудови логічних елементів ІПС. Зі збільшенням інтеграції ІС, а також їх частотних характеристик, очевидно необхідно зменшувати енергію перемикання інверторів або енергію передачі одного біт інформації. Це питання залишається актуальним при створенні ІПС, особливо, пов'язаних з вимірюваннями безпосередньо на мікросистемі-на-кристалі. Важливим аспектом при розробці КМОН - інверторів є зниження енергоспоживання. Загальне енергоспоживання КМОН - інвертора складається з двох компонентів: статичного та динамічного. Статичне споживання енергії зумовлене підпороговим струмом  $I_{sub}$  у статичному режимі. Розсіювана статична потужність виражається формулою. (1):

$$P_{static} = V_{dd} \cdot I_{sub}, \text{ де } V_{dd} - \text{напруга живлення.}$$

Динамічна енергія має дві основні складові, які є результатом наступних джерел: зарядної/розрядної ємностей та струмів короткого замикання.

Споживання енергії від  $V_{dd}$  під час переходу від низького до високого вихідного сигналу можна отримати шляхом інтегрування миттєвої потужності за період:

$$E_{V_{dd}} = \int_0^{\infty} i_{V_{dd}}(t) V_{dd} dt = V_{dd} \int_0^{\infty} C_L \frac{dv_{out}}{dt} dt = C_L V_{dd} \int_0^{V_{dd}} dv_{out} = C_L V_{dd}^2$$

Половина цієї енергії розсіюється в р-МОН-транзисторі, а інша половина зберігається на  $C_L$ :

$$E_{C_L} = \int_0^{\infty} i_{V_{DD}}(t) v_{out} dt = \int_0^{\infty} C_L \frac{dv_{out}}{dt} v_{out} dt = C_L \int_0^{V_{DD}} v_{out} dv_{out} = \frac{C_L \cdot V_{dd}^2}{2}$$

Перехід вихідного сигналу з високого на низький рівень розсіює енергію на транзисторі n-МОН, що була збережена на  $C_L$ . Величина споживаної потужності від джерела живлення буде залежати від частоти перемикання  $f$  КМОН - інвертора:

$$P_{dyn} = C_L V_{dd}^2 f$$

Отже, розсіювання потужності динамічного перемикання переважає в загальному розсіюванні енергії в схемах КМОН. Потужність короткого

замикання (к.з.) є другим джерелом повного розсіювання потужності. Це залежить від порогової напруги, напруги живлення, частоти, тривалості фронтів та вихідного навантаження, підключеного до інвертора. Струм короткого замикання не тільки збільшує споживання електроенергії, але й додає шум до струму живлення. Тому запропоновано новий метод зменшення струму к.з. в КМОН-інверторах, у якому використовується КМОН - інвертор із підтягуючим та витягуючим колами та додатковими транзисторами. На ці транзистори подають додаткові тактові сигнали для їх перемикання у лінійний режим роботи при протіканні струму к.з.[6].

При перемиканні інвертора рис. 2.24, а між станами лог. 1 і лог.0 є точка, в якій  $V_{out}=V_{in}=V_M$  і обидва КМОН- транзистори знаходяться в стані насичення, рис. 2.24,б. Середина цієї області  $V_M=V_{DD}/2$  береться за поріг перемикання, при умові  $\beta_n \approx \beta_p$ ,  $V_{thn}=|V_{thp}|$ ,  $W_p/W_n=\mu_n/\mu_p$ . Середина області комутації відповідає максимальному значенню струму к.з.  $I_{DDQ}=I_{sc}$  від джерела живлення до заземленої підкладки, рис. 2.24, с.

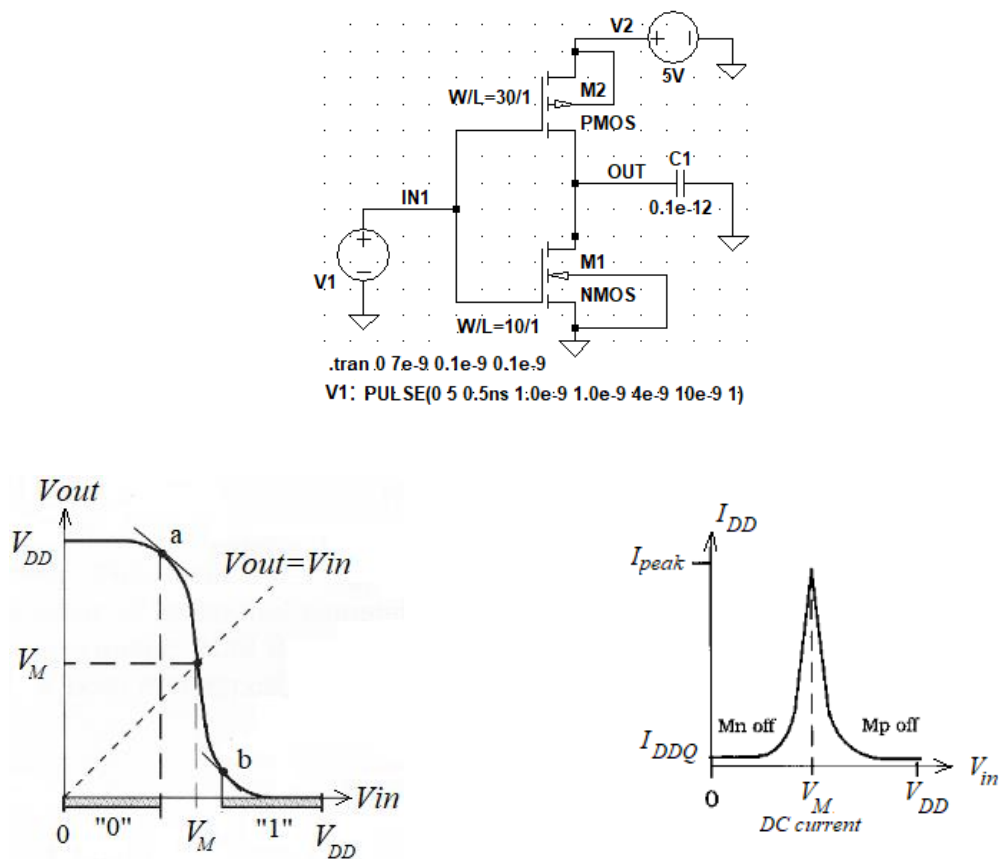


Рисунок 2.24. Поріг перемикання КМОН- інвертора

Для зменшення струму к.з., а отже, і динамічної енергії, запропоновано ввести додаткові КМОН- транзистори з окремим тактуванням, яке перемикатиме додаткові транзистори в лінійний режим під час переходів між логічними рівнями, тим самим обмежуючи пікові струми. Досліджено і показано, як впливає окреме тактування додаткових транзисторів сигналами різної форми на значення струмів к.з. та розсіювання потужності.

Для базової схеми інвертора (рис. 2.24,а) вхідні і вихідні сигнали, струми транзисторів M1, M2 і струми навантаження конденсатора C1 для переходу з HL і переходу з LH рівень на виході показані на рис. 2.25. Всі моделювання проведено в LTspice XVII.

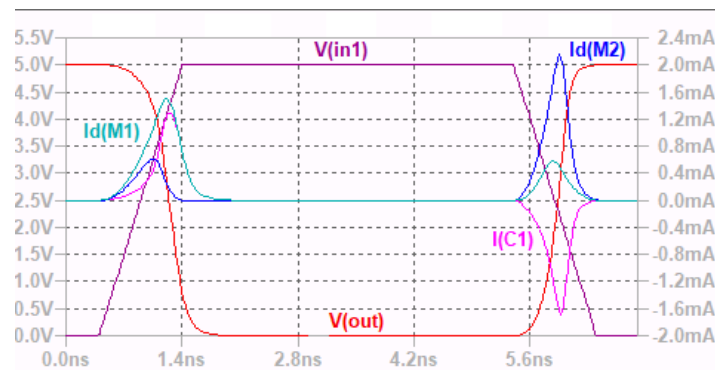


Рисунок 2.25. Часові діаграми вхідних і вихідних сигналів і струмів:  $I_{dpeak}(M1)=1,6/0,5$  мА,  $I_{dpeak}(M2)=0,6/2,2$  мА,  $I_{peak}(C1)=1,3/-1,6$  мА,  $I_{dinst}(M1)=1,5/0,4$  мА,  $I_{dinst}(M2)=0,2/2,0$  мА при  $I_{peak}(C1)=1,3/-1,6$  мА.

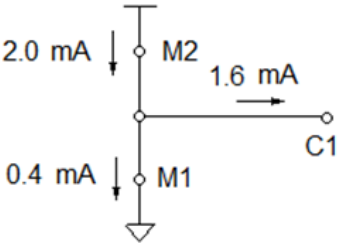
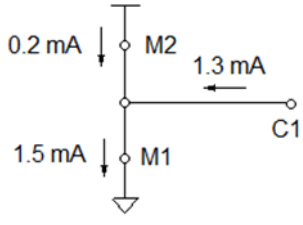
Як видно з рис. 2.25, пікові струми транзисторів M1, M2 і струми заряду/розряду навантажувальної ємності C1 знаходяться на переходах з HL і з LH рівнів. Коли значення змінюються на фронтах сигналу від 0 до Vdd і від Vdd до 0, транзистори M1, M2 знаходяться в провідному стані протягом деякого часу, що викликає струми від джерела живлення V2 до землі. Як видно з рис. 2.25, струм к.з. визначається виразом  $I_{sc}=\max(I_d(M1), I_d(M2)) - I(C1)$  і відповідає кривій струму транзистора з мінімумом амплітуди. На переходах від HL вихідного сигналу це крива Id(M2), а для переходів від LH – це крива Id(M1). Наприклад, миттєві значення струмів к.з. на переходах з HL і на переходах з LH для схеми на рис. 2.24 прийнято максимальні значення струмів заряду-розряду навантажувальної ємності C1 і показано в таблиці 2.2. Як видно



з таблиці 2.2 миттєвий струм короткого замикання на вихідному переході високий-низький визначається миттєвим струмом транзистора M2, а на вихідному переході низький-високий струмом транзистора M1.[4].

Таблиця 2.2.

## Миттєві значення струмів

High-to-low output transition			Low-to-high output transition		
Id(M1), mA	Id(M2), mA	I(C1), mA	Id(M1), mA	Id(M2), mA	I(C1), mA
1.5	0.2	1.3	0.4	2.0	-1.6
Discharge C1, short-circuit current 0.2 mA			Charge C1, short circuit current 0.4 mA		
					

Потужність  $P_{sc}$ , що розсіюється струмом к.з.  $I_d(M2)$  та  $I_d(M1)$ , розраховується для кривої струму  $I_d(M2)$  та  $I_d(M1)$  відповідно за формулою

$$P_{sc} = f \sum_{i=0}^{i=N} I_{avri} V_{avri} \Delta t_i$$

де  $f$  – частота перемикань,  $I_{avri}$ ,  $V_{avri}$  – середні миттєві значення струмів і напруг за інтервал часу  $\Delta t_i$ ,  $N$  – кількість інтервалів розрахунку  $\Delta t_i$  за час  $\tau$  (часи наростання або спаду вхідного імпульсу інвертора).

Результати розрахунків середніх миттєвих значень струмів і напруг за інтервал часу  $\Delta t_i$  для діаграми на рис. 2.25 наведені в табл. 2.3 і 2.4. Для підвищення точності розрахунку кількість  $t_i$  можна взяти більший.

Таблиця 2.3.

Розсіяна потужність від струму к.з. Id(M2) при  $f=0,1 \times 10^9$  Hz

$t_i$ , ns	$\Delta t_i$ , ns	$V_i$ , V	$V_{avri}$ , V	$I_i$ , mA	$I_{avri}$ , mA	$P_i$ , $\mu$ W
0.45		5		0		
0.73	0.28	4.87	4.935	0.2	0.1005	13.887
0.82	0.09	4.8	4.835	0.3	0.25	10.879
0.88	0.06	4.75	4.775	0.4	0.35	10.028
0.95	0.07	4.55	4.65	0.5	0.45	14.648
1.07	0.12	4.12	4.335	0.617	0.5585	29.053
1.12	0.05	3.75	3.935	0.501	0.559	10.998
1.17	0.05	3.37	3.56	0.405	0.453	8.063
1.23	0.06	2.75	3.06	0.2	0.3025	5.554
1.28	0.05	2	2.375	0.104	0.152	1.805
1.41	0.13	0.75	1.375	0.001	0.0525	0.938
High-to-low output:						105.853

Таблиця 2.4.

Розсіяна потужність від струму к.з. Id(M1) при  $f=0,1 \times 10^9$  Hz

$t_i$ , ns	$\Delta t_i$ , ns	$V_i$ , V	$V_{avri}$ , V	$I_i$ , mA	$I_{avri}$ , mA	$P_i$ , $\mu$ W
5.4		0		0		
5.67	0.27	0.25	0.125	0.2	0.1005	0.339
5.73	0.06	0.5	0.375	0.3	0.2515	0.566
5.76	0.03	0.75	0.625	0.4	0.3515	0.659
5.89	0.13	1.75	1.25	0.59	0.4955	8.052
5.96	0.07	2.75	2.25	0.5	0.546	8.60
5.99	0.03	3.25	3	0.4	0.4505	4.055
6.06	0.07	4.25	3.75	0.3	0.3515	9.227
6.12	0.06	4.75	4.5	0.2	0.2515	6.791
6.18	0.06	4.87	4.81	0.1	0.1485	4.286
Low-to-high output:						48.377

Таким чином, в результаті розсіяна потужність від струму к.з.  $I_d(M2)$  та  $I_d(M1)$  при ємності навантаження  $C1=1$  пФ при  $f=0,1 \times 10^9$  Hz становить  $105,853+48,377=154,23$  мкВт.

Для зменшення пікових струмів інвертора, а отже, і струмів к.з., запропоновано ввести послідовно два додаткових транзистори M3, M4 між транзисторами M1, M2, рис. 2.25. На фронтах тактових сигналів транзисторів M1, M2, перевести транзистори M3, M4 в лінійний режим роботи за допомогою сигналів заданої форми від окремого тактового генератора. Таким чином, на фронтах тактових сигналів транзисторів M1, M2 можна збільшити опір транзисторів M3, M4 і обмежити струми к.з. від  $U_{dd}$  до земляної шини.

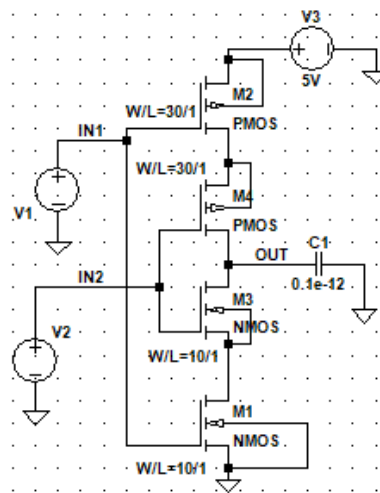


Рисунок 2.26. Двотактовий інвертор

Для інвертора на рис. 2.26. було проаналізовано вплив форми тактового сигналу V2 на пікові струми, струм к.з. та розсіювану потужність к.з. Порівняння пікових струмів транзисторів M1, M2, струму к.з. та розсіюваної потужності к.з. базового та аналізованого кіл дає змогу з'ясувати ефективність запропонованого підходу[11].

Діаграма вхідних і вихідних сигналів для тактового сигналу V2 з кроком на рівні  $0,5 \cdot V_{dd}$  наведена на рис. 2.27. Результати розрахунків середніх миттєвих значень струмів і напруг за інтервал часу  $\Delta t_i$  для діаграми на рис.2.27. показані в таблиці 2.5 і таблиці 2.6.

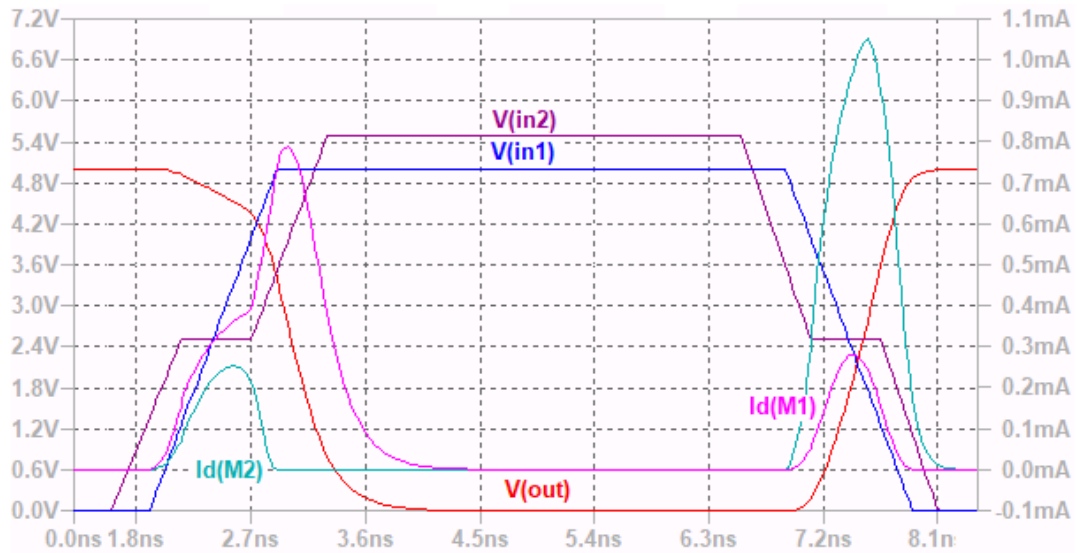


Рисунок 2.27. Діаграма вхідних і вихідних сигналів і струмів:

V1: ПУЛЬС (0 5 2.0e-9 1.0e-9 1.0e-9 4e-9 10e-9 2),

V2: PWL(0 0 1.7e-9 0 2.25e-9 2.5 2.8e-9 2.5 3.4e-9 5.5 6.65e-9 5.5 7.2e-9 2.5 7.75e-9 2.5 8.2e-9 0 9e-9 0 )

Таблиця 2.5.

Розсіяна потужність від струму к.з. Id(M2) при  $f=0,1 \times 10^9$  Hz

$t_i$ , ns	$\Delta t_i$ , ns	$V_i$ , V	$V_{avri}$ , V	$I_i$ , mA	$I_{avri}$ , mA	$P_i$ , $\mu$ W
1.92		5		0.001		
2.12	0.2	4.95	4.975	0.05	0.0255	2.537
2.18	0.06	4.9	4.925	0.1	0.075	2.216
2.26	0.08	4.8	4.85	0.15	0.125	4.85
2.34	0.08	4.7	4.75	0.2	0.175	6.65
2.57	0.23	4.5	4.6	0.253	0.2265	23.964
2.72	0.15	4.25	4.375	0.2	0.2265	14.864
2.75	0.03	4.1	4.175	0.15	0.175	2.192
2.79	0.04	4	4.05	0.1	0.125	2.025
2.81	0.02	3.9	3.95	0.05	0.075	0.593
2.85	0.04	3.6	3.75	0.001	0.0255	0.383
High-to-low output transition:						60.273

Таблиця 2.6.

Розсіяна потужність від струму к.з. Id(M1) при  $f=0,1 \times 10^9$  Hz

$t_i$ , ns	$\Delta t_i$ , ns	$V_i$ , V	$V_{avri}$ , V	$I_i$ , mA	$I_{avri}$ , mA	$P_i$ , $\mu$ W
6.91		0		0.001		
7.15	0.24	0.3	0.15	0.1	0.0505	0.182
7.26	0.11	0.9	0.6	0.2	0.15	0.99
7.33	0.07	1.2	1.05	0.25	0.225	1.654
7.43	0.1	1.8	1.5	0.281	0.2655	3.982
7.54	0.11	2.8	2.3	0.25	0.2655	6.717
7.61	0.07	3.3	3.05	0.2	0.225	4.804
7.65	0.04	3.6	3.45	0.15	0.175	2.415
7.7	0.05	3.9	3.75	0.1	0.125	2.344
7.77	0.07	4.35	4.125	0.05	0.075	2.166
7.9	0.13	4.9	4.625	0.001	0.0255	1.533
Low-to-high output transition:						26.787

Таким чином, в результаті розсіяна потужність від струму к.з. Id(M2) та Id(M1) при ємності навантаження  $C1=1$  пФ і  $f=0,1 \times 10^9$  Hz становить  $60,273+26,787=87,06$  мкВт. Це на 43,6% менше порівняно з базовою схемою на рис. 2.24.а.

Через складність отримання тактового сигналу з кроком його було замінено композицією з двох тактових сигналів, як показано на рис. 2.28. Діаграма вхідних і вихідних сигналів і пікових струмів для композиції тактових сигналів V3 і V2, наведено на рис. 2.28. Результати розрахунків середніх миттєвих значень струмів і напруг за інтервал часу  $\Delta t_i$  для діаграми на рис.2.29 наведено в табл. 2.7 і 2.8.

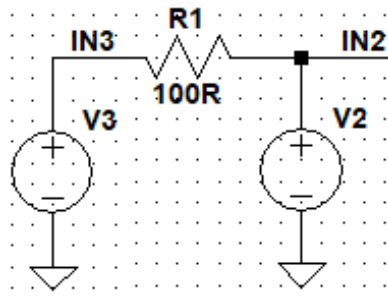


Рисунок 2.28. Склад сигналів V3 і V2

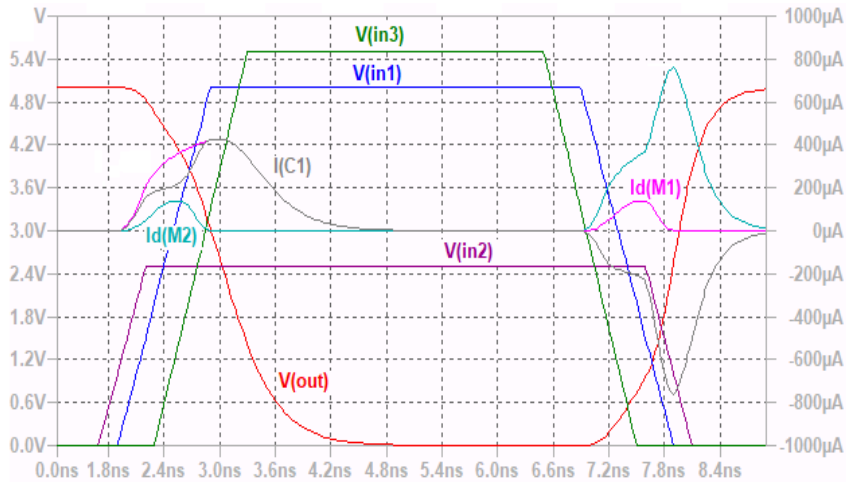


Рисунок 2.29. Часова діаграма вхідних і вихідних сигналів:

V1: ПУЛЬС (0 5 2.0e-9 1.0e-9 1.0e-9 4e-9 10e-9 2),

V2: PULSE (0 2,5 1,8e-9 0,5e-9 0,5e-9 5,4e-9 10e-9 2)

V3: PULSE (0 5,5 2,4e-9 1e-9 1e-9 3,2e-9 10e-9 2)

Таблиця 2.7.

Розсіяна потужність від струму к.з.  $I_d(M2)$  при  $f=0,1 \times 10^9$  Hz

$t_i$ , ns	$\Delta t_i$ , ns	$V_i$ , V	$V_{avri}$ , V	$I_i$ , mA	$I_{avri}$ , mA	$P_i$ , $\mu$ W
1.93		5		0.001		
2.2	0.27	4.75	4.875	0.05	0.0336	3.36
2.31	0.11	4.62	4.685	0.1	0.0387	3.87
2.53	0.22	4.2	4,41	0.138	0.1155	11.55
2.69	0.16	3.75	3.975	0.1	0.0757	7.57
2.76	0.07	3.5	3.625	0.052	0.0193	1.93
2.89	0.13	3	3.25	0.001	0.0112	1.12
High-to-low output transition:						29.38

Розсіяна потужність від струму к. з.  $I_d(M1)$  при  $f=0,1 \times 10^9$  Hz

$t_i$ , ns	$\Delta t_i$ , ns	$V_i$ , V	$V_{avri}$ , V	$I_i$ , mA	$I_{avri}$ , mA	$P_i$ , $\mu$ W
6.96		0.01		0.001		
7.21	0.25	0.21	0.11	0.048	0.0245	0.0674
7.35	0.14	0.37	0.29	0.1	0.074	0.3004
7.54	0.19	0.75	0.56	0.141	0.1205	1.2821
7.7	0.16	1.25	1	0.1	0.1205	1.928
7.76	0.06	1.62	1.435	0.052	0.076	0.6544
7.88	0.12	2.5	2.06	0.001	0.0265	0.6551
Low-to-high output transition:						4.89

Таким чином, в результаті розсіяна потужність від струму короткого замикання  $I_d(M2)$  та  $I_d(M1)$  при ємності навантаження  $C1=1$  пФ при  $f=0,1 \times 10^9$  Hz становить  $29,38+4,89=34,27$  мкВт. Це на 77,8% менше порівняно з базовою схемою на рис. 2.24а.[33]

Діаграма вхідних і вихідних сигналів і пікових струмів для тактового сигналу  $V2$  з амплітудою  $0,5 \cdot V_{dd}$  наведена на рис. 2.30. Результати розрахунків середніх миттєвих значень струмів і напруг за інтервал часу  $\Delta t_i$  для діаграми на рис. 7 показані в таблиці 8 і таблиці 9.

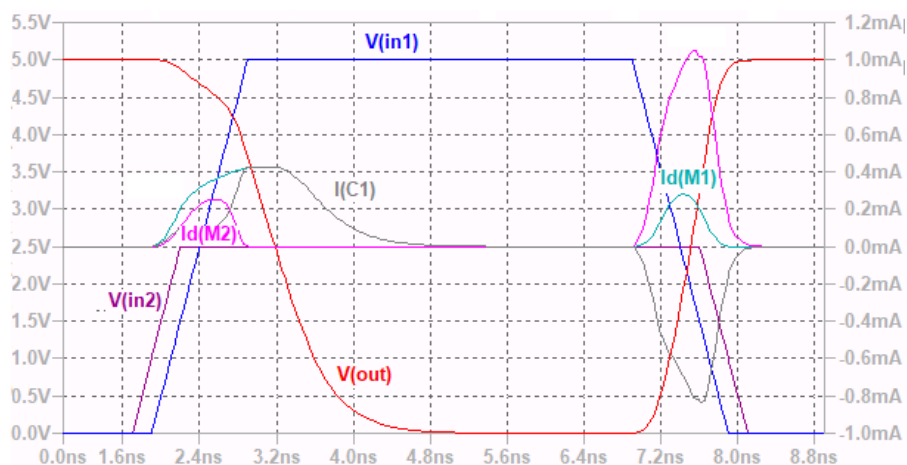


Рис. 2.30. Діаграма вхідних і вихідних сигналів:

$V1$ : ПУЛЬС (0 5 2.0e-9 1.0e-9 1.0e-9 4e-9 10e-9 2),

$V2$ : PULSE (0 2,5 1,8e-9 0,5e-9 0,5e-9 5,4e-9 10e-9 2)

Таблиця 2.9.

Розсіяна потужність від струму к. з. Id(M2) при  $f=0,1 \times 10^9$  Hz

$t_i$ , ns	$\Delta t_i$ , ns	$V_i$ , V	$V_{avri}$ , V	$I_i$ , mA	$I_{avri}$ , mA	$P_i$ , $\mu$ W
1.92		5		0.001		
2.17	0.243	4.85	4.925	0.084	0.0426	5.09
2.34	0.172	4.75	4.8	0.193	0.1387	11.45
2.59	0.25	4.5	4.625	0.251	0.2221	25.68
2.71	0.118	4.25	4.375	0.196	0.2235	11.54
2.77	0.066	4.15	4.2	0.106	0.1510	4.19
2.87	0.095	3.75	3,95	0.001	0.0535	2.01
High-to-low output transition:						59.95

Таблиця 2.10.

Розсіяна потужність від струму к.з. Id(M1) при  $f=0,1 \times 10^9$  Hz

$t_i$ , ns	$\Delta t_i$ , ns	$V_i$ , V	$V_{avri}$ , V	$I_i$ , mA	$I_{avri}$ , mA	$P_i$ , $\mu$ W
6.93		0.001		0.001		
7.16	0.231	0.375	0.188	0.048	0.505	0.22
7.26	0.095	0.75	0.563	0.1	0.148	0.79
7.43	0.178	1.75	1.25	0.141	0.241	5.36
7.61	0.179	3.25	2.5	0.1	0.243	10.87
7.7	0.083	3.87	3.56	0.052	0.15	4.43
7.87	0.178	4.8	4.335	0.001	0.0505	3.9
Low-to-high output transition:						25.58

Таким чином, в результаті розсіяна потужність від струму короткого замикання Id(M2) та Id(M1) при ємності навантаження  $C1=1$  пФ при  $f=0,1 \times 10^9$  Hz становить  $59,95+25,58=85,53$  мкВт. Це на 44,5% менше порівняно з базовою схемою.



## **РОЗДІЛ 3. РОЗРОБЛЕННЯ І ДОСЛІДЖЕННЯ ІПС НА ОСНОВІ ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧІВ ТА КІЛЬЦЕВИХ ГЕНЕРАТОРІВ.**

### **3.1. Моделювання і дослідження характеристик операційних підсилювачів як елементів ІПС для сенсорних мікросистем.**

Ускладнення схем операційних підсилювачів (ОП) (сучасні ОП містять десятки, а іноді й сотні інтегральних: резисторів, діодів, транзисторів, конденсаторів. Використання генераторів стабільних струмів і ряд інших удосконалень істотно розширили сферу можливих застосувань ОП. Одним із таких застосувань ОП є їх використання разом із чутливим елементами як ІПС для сенсорних мікросистем-на-кристалі. Особливий інтерес представляють ІПС на їх основі в інтегральному виконанні, зокрема, із КНІ КМОН- структурами. Такі структури, завдяки їх перевагам як з точки зору характеристик приладів, так і з конструктивних можливостей, зокрема, можливостей створення КНІ 3- вимірних конструкцій приладних елементів, є перспективними для реалізації ІПС. Тому дослідження зі створення ІПС на основі ОП, особливостей їх побудови та застосування в інтегральному виконанні з монолітною інтеграцією чутливих елементів зі схемами первинного перетворення сигналів є доцільними та актуальними. У таких ІПС є можливості передбачити також під'єднання до них і зовнішніх чутливих елементів, які можуть не входити безпосередньо у склад сенсорної мікросистеми-на-кристалі, а бути компонентами гібридної мікросистеми. Ще одним варіантом реалізації ІПС може бути таке його виконання як дискретного компонента в окремому корпусі з електричним або фізичним доступом до чутливого елемента.

Тому, завдяки своїм багатостороннім можливостям такі ІПС на основі ОП можуть стати базовими (уніфікованими) вузлами в аналоговій схемотехніці та сенсорних мікросистемах-на-кристалі. Основною функцією диференціального підсилювача є порівняння двох аналогових сигналів, а також підсилення їх різниці. Формулювання диференціального підсилювача є наступним:

$$V_{out} = K (U_p - V_m).$$

Як правило, коефіцієнт підсилення  $K$  є високим, від 10 до 1000 і більше. Наслідком цього є те, що вихід диференціального підсилювача насичується дуже швидко, через діапазон напруги живлення.

Принципову схему досліджуваного диференціального підсилювача в інтегральному виконанні зображено на рисунку 3.1. Для більшого підсилення n-канальний МОН - транзистор розміщують між диференційною парою (пара провідників) і землею. Напряга на затворі  $V_{bias}$  керує величиною струму, який може протікати на дві гілки. Канал, що утворюється в транзисторі, дозволяє працювати при більш низьких напругах  $V_{ds}$ , що дає краще аналогове представлення і менший ефект насичення.

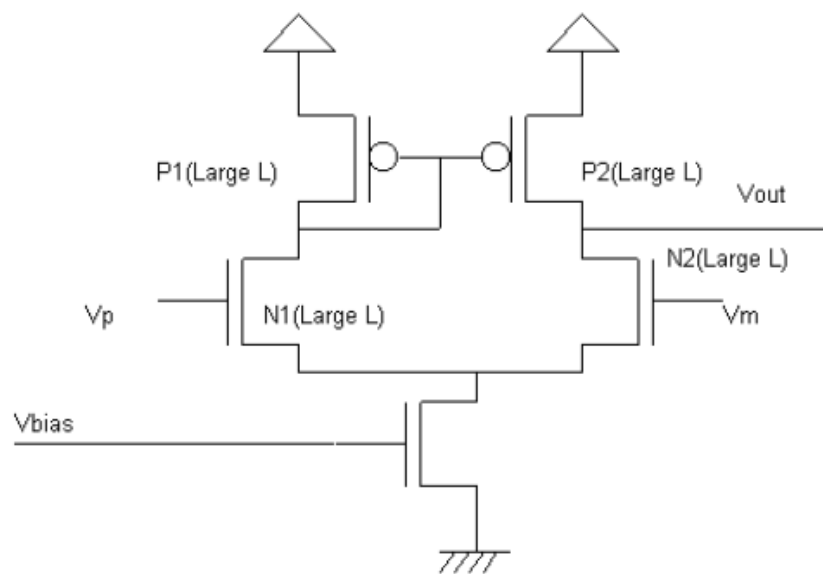


Рисунок 3.1. Схема електрична диференціального підсилювача зі збільшеними розмірами МОН - транзисторів.

Зручнішим способом для вимірювання діапазону входних сигналів є підключення підсилювачів послідовно, тобто  $V_{out}$  підключається до  $V_m$ . Для цього ділянку  $V_m$  можна видалити і додати контакт полікремній/метал у відповідні місця, щоб створити електричне з'єднання між  $V_{out}$  і  $V_m$ . Повільно знижуючи напругу на вході  $V_{in}$ , в результаті моделювання, можна спостерігати зміни на виході. Щоб побудувати статичні АПХ використовують опцію «напряга від напруги». Для моделювання безпосередньо із топології ОП була використана найдосконаліша модель BSIM4.

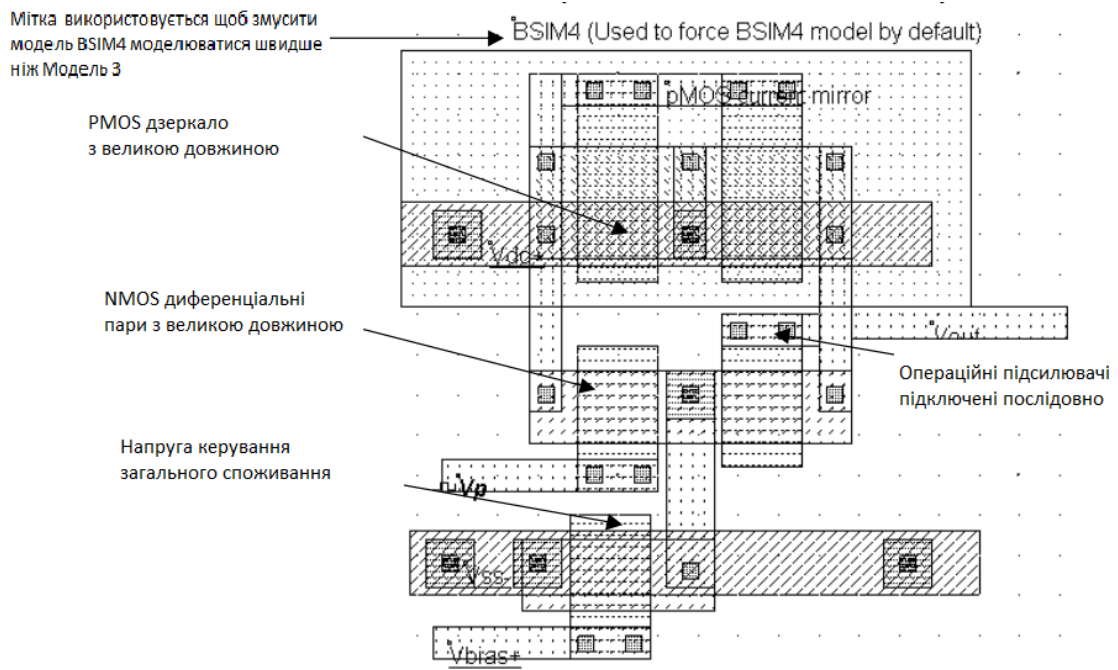


Рисунок 3.2. Оптимізована топологія диференціального підсилювача.

Як видно з результатів моделювання (рис.3), схема працює належним чином починаючи з 0,4 В, незалежно від значення  $V_{bias}$ . Високе значення напруги  $V_{bias}$  призводить до більш швидкого відгуку, але зменшує діапазон вхідних напруг і споживає більше енергії в порівнянні з n-канальними МОН-транзисторами, що є досить актуально. Напруга зміщення ( $V_{bias}$ ) є часто фіксованою в значенні дещо вищому ніж порогова напруга  $V_{tn}$ , що є хорошим компромісом між швидкістю перемикання і вхідним діапазоном[84].

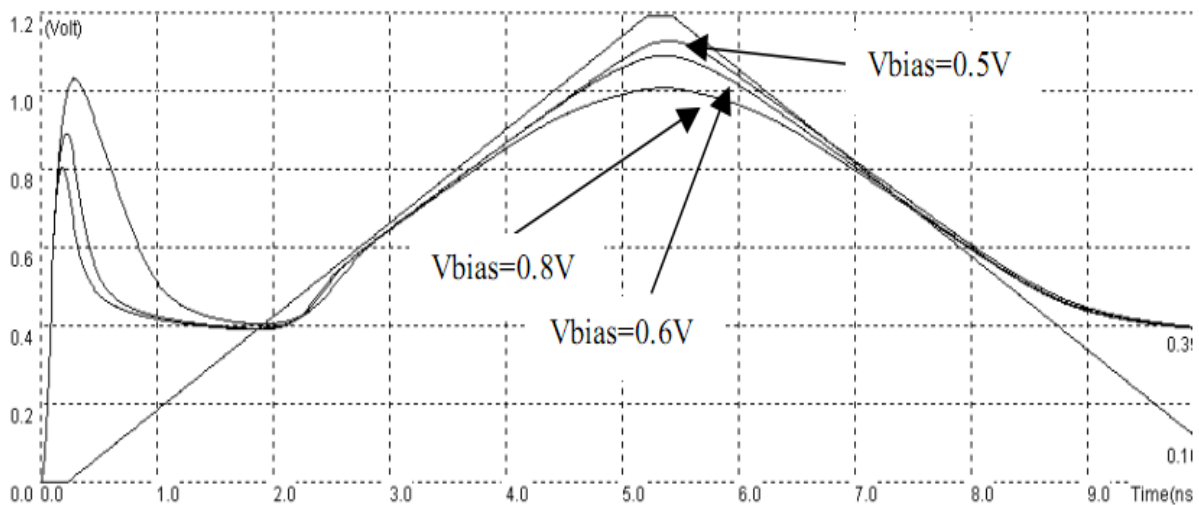


Рисунок 3.3. Вплив  $V_{bias}$  на швидкодію диференціального підсилювача.

Функція підсилювача - помножити на істотний коефіцієнт амплітуду синусоїдальної вхідної напруги  $V_{in}$ , і передати підсилenu синусоїдальну напругу  $V_{out}$  на навантаження. Одиничний підсилювальний каскад може складатися з МОН- пристроїв, як правило, n- канальний МОН - транзистор і навантаження. Навантаженням може бути резистор або індуктивність. Навантаження на основі р - канального МОН - транзистором, з підключеним затвором до витoku транзистора, фактично є активним резистором.

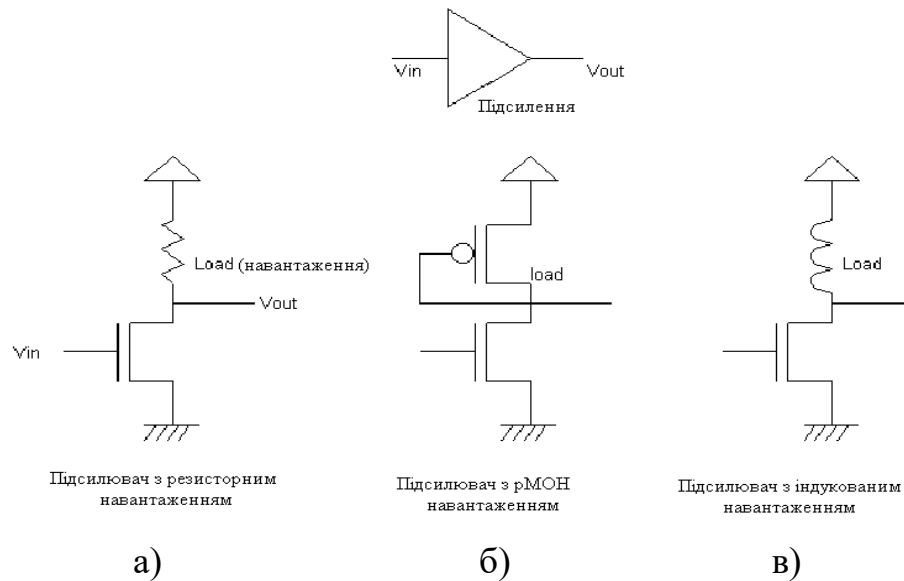


Рисунок 3.4. Схеми одиничних підсилювальних каскадів зі структурами КНІ для ІПС з різними типами навантажень: а) – резистивне, б) – активний резистор, в) – індуктивне навантаження [87].

Одноступінчата характеристика підсилювача між  $V_{in}$  та  $V_{out}$  має типову форму показану на рис. 3.5. У зоні з найбільшим підсиленням, відповідає діапазон вхідної напруги, де є передача функції лінійної форми, тобто між  $V_{IN\_низького}$  рівня і  $V_{IN\_високого}$  рівня. За межами цього діапазону напруг, поведінка кола не відповідає функції підсилювачу. Якщо ми додамо малу синусоїдальну  $v_{in}$  до  $V_{IN}$ , незначна зміна струму  $i_{ds}$  додається до статичного струму  $I_{DS}$ , який викликає зміни  $v_{out}$  вихідної напруги  $V_{OUT}$ . Зв'язок між зміною струму  $i_{ds}$  і зміною напруги  $v_{in}$  можна подати рівнянням

$$i_{ds} = g_m v_{gs}.$$

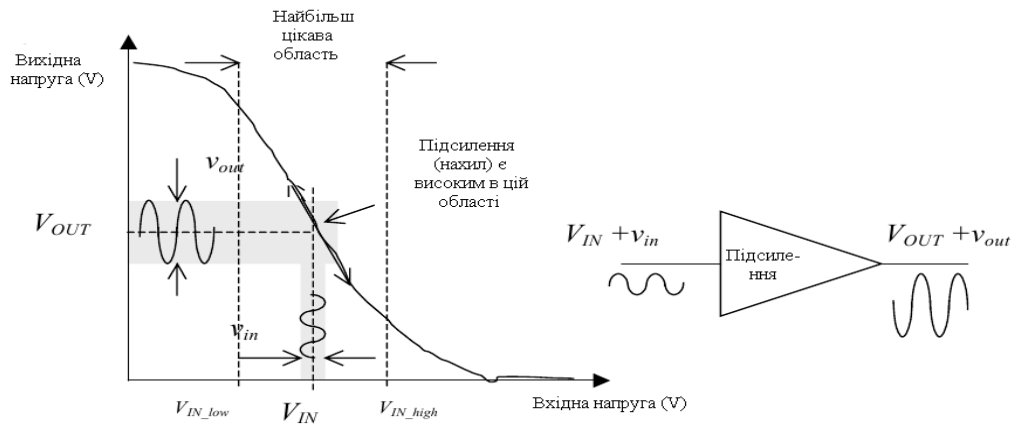
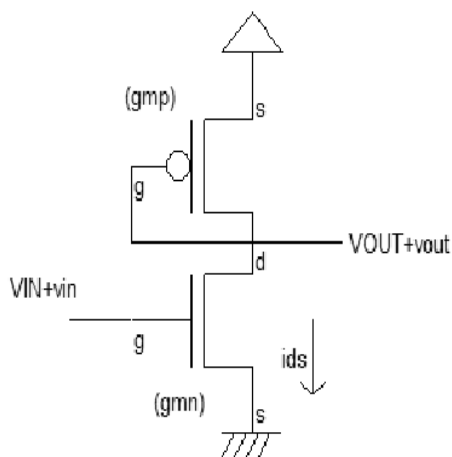
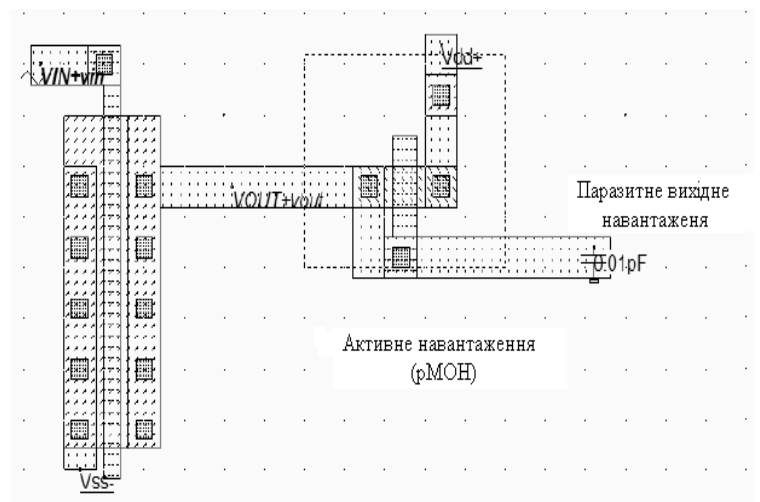


Рисунок 3.5. Підсилювач має високий коефіцієнт підсилення в певному діапазоні вхідних сигналів, де малий  $V_{in}$  вхідний сигнал підсилюється до великого  $V_{out}$  сигналу.

Для n-канальних МОН – транзисторів, (рис.3.6), з великою шириною і мінімальною довжиною каналу, який підключений до р – канального МОН – транзистора, що рахунок малої ширини каналу має високий опір, 50mV синусоїдальний вхідний сигнал ( $v_{in}$ ) накладається на статичне зміщення 0,6V( $V_{IN}$ ). Те що ми отримали, це 500mV синусоїдальної вихідної напруги ( $v_{out}$ ) з певним по постійному струму зміщенням ( $V_{out}$ )



а)



б)

Рисунок 3.6. Одиничний підсилювальний каскаду з р – канальним МОН-транзистором в якості навантажувального резистора: а)- електрична схема; б)- топологія.[121].

Напругу зміщення  $V_{IN}$  знаходимо моделюванням характеристики  $V_{out} / V_{in}$ . У вікні симуляції MicroWind вибираємо Voltage vs voltage” і More, для

обчислення статичної реакції підсилювача. Чітко з'являється діапазон вхідної напруги, який показує правильне підсилення. Для  $V_{DS}$  вище ніж 0,25 і нижче ніж 0,4 В, вихід підсилення близько 3. Таким чином, оптимальне значення зсуву 0.35V. Можна змінити параметр Offset(Зсув) вхідної синусоїдальної напруги для вхідних напруг на правильну зміщення. Підсилення у 3,5 разів спостерігається при зміщенні  $V_{IN} = 0.35V$ .

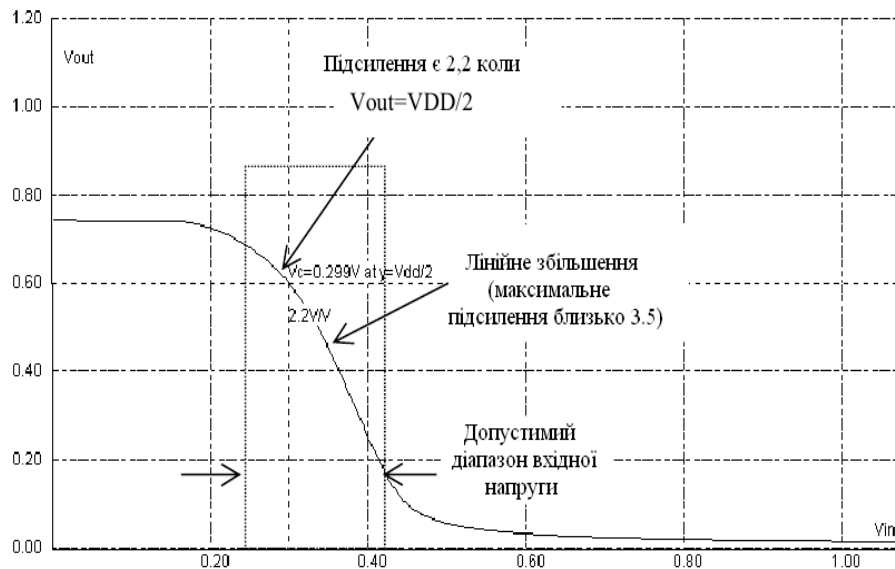


Рисунок 3.7. Одноступінчатий підсилювач зі статичною реакцією із зазначенням допустимого діапазону вхідної напруги.

Суттєвий інтерес для проектування ІПС представляють регулярні комірки БМК. Тому було розроблено топологію і проведено комп'ютерне моделювання характеристик ОП для ІПС на основі матричних комірок зі структурами КНІ. Схема електрична принципова базового елемента ОП в інтегральному виконанні (аналог схеми рис. 3.1) зображена на рис. 3.8.

У цій схемі р-канальні КНІ МОП- транзистори VT1 і VT2 утворюють дзеркало струму для реалізації активного навантаження ОП, а n-канальні транзистори VT3 та VT4 утворюють диференційну пару, і спроектовані за узгодженими конструктивно-технологічними параметрами. При подачі синфазного сигналу на входи IN1 та IN2, в одному з транзисторів відбувається збільшення струму, а в іншому – зменшення на однакову величину, що приводить до відсутності сигналу на виході [84].

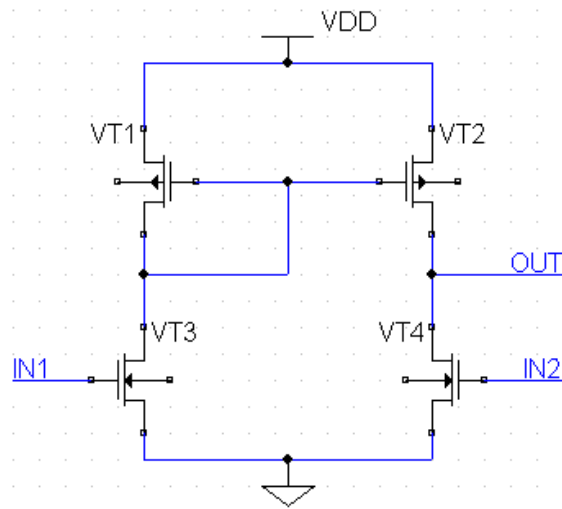


Рисунок 3.8. Електрична схема інтегрального ОП зі структурами КНІ

Топологія базового елемента ОП на основі матричної комірки зі структурою КНІ (схема рис.3.8) зображено на рис. 3.9. Також було проведено комп'ютерне схематопологічне моделювання безпосередньо із топології такого ж елемента на основі масивного кремнію і стандартної КМОН- технології. [86].

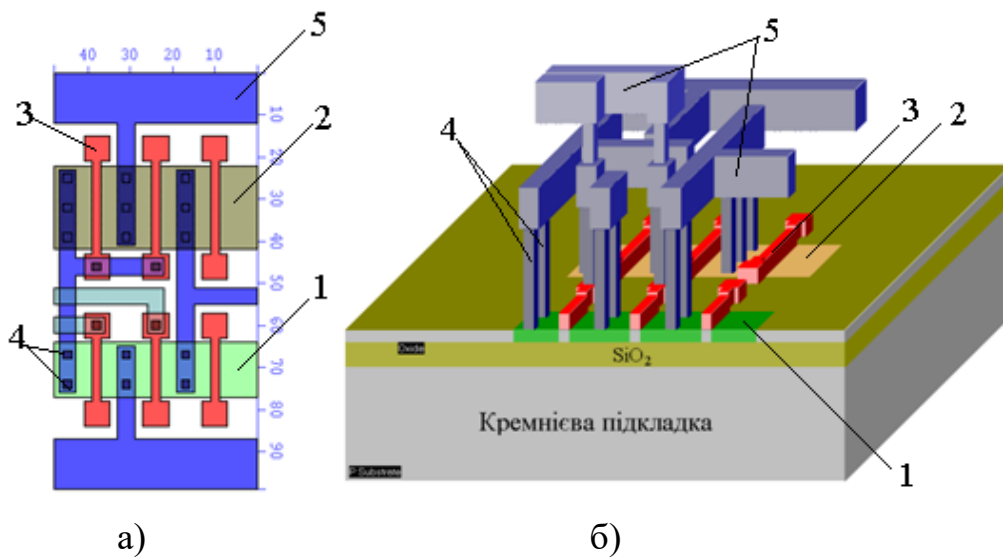


Рисунок 3.9. Топологія а) та тривимірне зображення б) ОП на основі КНІ КМОН матричної комірки 1 – стік-витоків області n-канальних транзисторів; 2 – стік-витоків області p-канальних транзисторів; 3 – полікремнієві затвори; 4 – контактні вікна; 5 – шари металізації [72].

Моделювання проводили при напрузі живлення 1,5 В, вхідний сигнал IN1 змінний сигнал з  $f = 0,167$  МГц, тривалість фронтів 1 нс, тривалість імпульсу 2 нс та амплітудою 0,05 В, сигнал IN2 – постійний  $A = 0,7$  В.

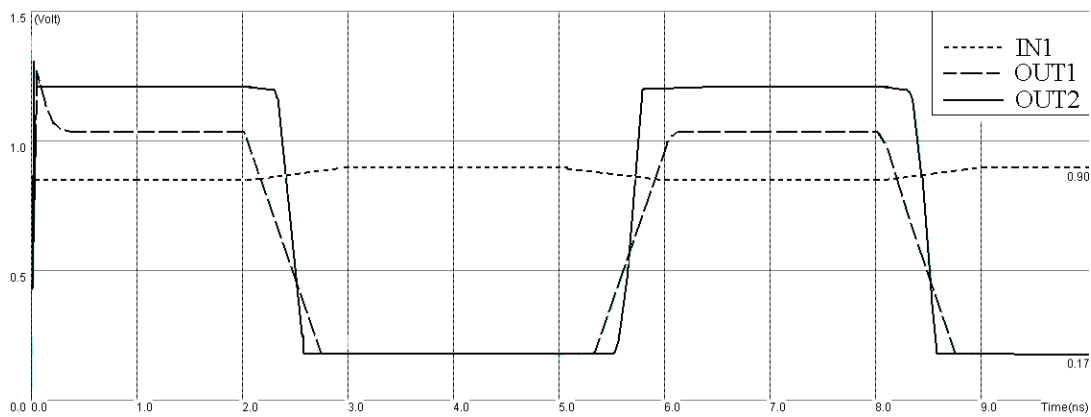


Рисунок 3.10. Часова діаграма схемотопологічного моделювання інтегрального ОП: IN1 – вхідний сигнал; OUT1 – вихідний сигнал ОП зі стандартною КМОН технологією; OUT2 – вихідний сигнал ОП КНІ КМОН.

Таким чином, комп'ютерне моделювання елемента ОП показує, що вихідні сигнали для КНІ ОП порівняно зі стандартними КМОН мають в середньому на 25-30% крутіші фронти вихідних сигналів, більши коефіцієнт підсилення в середньому на 20% за рівнем амплітуди, що дозволить зменшити споживану потужність, підвищити ступінь інтеграції, розширити температурний діапазон. Головна вимога яка пред'являється до ОП – це висока стабільність параметрів: сталість коефіцієнта підсилення і відсутність дрейфу нуля. Найбільш широко застосовуються інтегральні ОП. Проте і магнітні ОП мають певні переваги. Зокрема, за допомогою магнітного ОП значно простіше виконувати таку операцію як додавання сигналів.

### **3.2. Інтегральні перетворювачі сигналів зі структурами КНІ КМОН на основі кільцевих генераторів.**

Аналіз існуючих мікроелектронних технологій для створення мікросистемних пристроїв, проведений у 1-му розділі показує, що доволі перспективною конструктивно-технологічною базою для створення таких систем є КНІ-структури, які завдяки своїм покращеним характеристикам порівняно зі структурами на об'ємному кремнії мають зменшену споживану потужність, високу інтеграцію елементів на кристалі, підвищений рівень радіації, стійкість до зовнішніх впливів, такі як сильні магнітні поля, розширений температурний діапазон та ін.. Окрім того, структури КНІ мають суттєві переваги як



конструктивний матеріал для створення нових приладних елементів, в тому числі як і з новими тривимірними конструкціями, так і можливостями інтеграції з герметизованими або негерметизованими мікропорожнинами під поверхнею кремнієвої пластини. Це відкриває додаткові перспективи створення нових інтегрованих приладних структур, зокрема, ІПС для сенсорних мікросистем-на-кристалі, розширить сфери їх застосування та функціональні можливості.

Значна кількість ІПС для сенсорних мікросистем-на-кристалі, може бути побудована на основі кільцевих генераторів (КГ), що можуть разом із сенсорними елементами утворювати власне ІПС. Такі ІПС, з основним інформативним параметром як залежність зміни частоти від впливу зміни параметра чутливого елемента – опір, ємність, індуктивність, фоточутливих елементів та ін., можуть бути використані у відповідних схемах реєстрації інформації про зміни фізичних величин. Окрім цього, кільцеві генератори достатньо інформативним об'єктом для оцінки параметрів елементної бази в інтегральному виконання з новими і малодослідженими технологіями, можуть бути джерелом синусоїдальних чи імпульсних сигналів.

Схемотопологічне моделювання КГ проводили для КНІ КМОН  $n$ - і  $p$ -канальних транзисторів з топологічними розмірами  $W=10$  мкм,  $L=2$  мкм та  $W=20$  мкм,  $L=2$  мкм відповідно. У всіх досліджуваних схемах напруга живлення становила від 2,5 В до 5 В.

Запропонована схема КГ на основі послідовно з'єднаних 5-ти КМОН інверторів, логічно керованим входом та керуючого чутливого елемента на основі  $n$ -канального КНІ МОН- транзистора зображена на рис.3.11. Чутливий елемент М19 може бути регульованим за рахунок напруги, що подається на затвор транзистора. Керування затвором може бути як постійними рівнями напруг, так і змінними імпульсними. Чутливий елемент - транзистор М19 може бути використаний як регульований напругою на затворі резистор, або включений як конденсатор, чи фоточутливий елемент, чутливий елемент Холла та ін. Використання такого транзистора в якості чутливого елемента на задану довжину хвилі, напр. 942 нм, дозволяє їх використовувати для біомедичних

досліджень, зокрема, неінвазивних досліджень рівня глюкози в крові людини. Вхідним параметром такого ІПС буде оптичний фотосигнал, а вихідним - частота КГ, яка буде змінюватися залежно від впливу вхідного сигналу.

Результати моделювання КГ з різними топологічними розмірами керуючого n-канального МОН - транзистора подано на рис. 3.12.

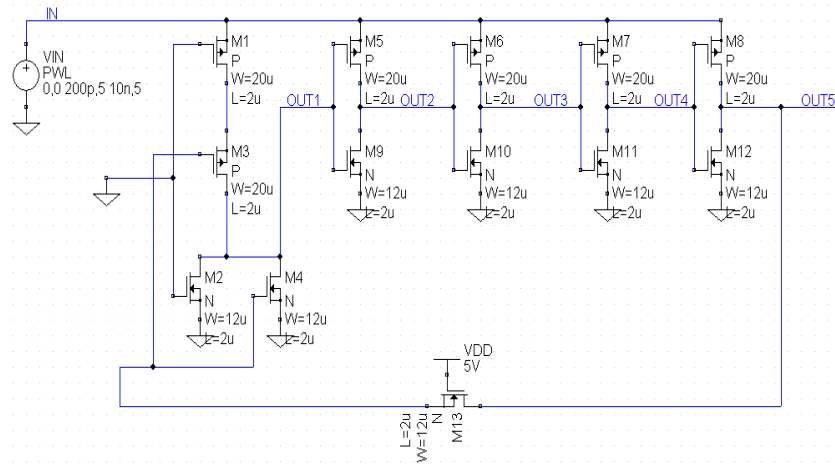


Рисунок 3.11. Електрична схема ІПС на основі КГ з використанням n-канального МОН - транзистора як елемента керування частотою.

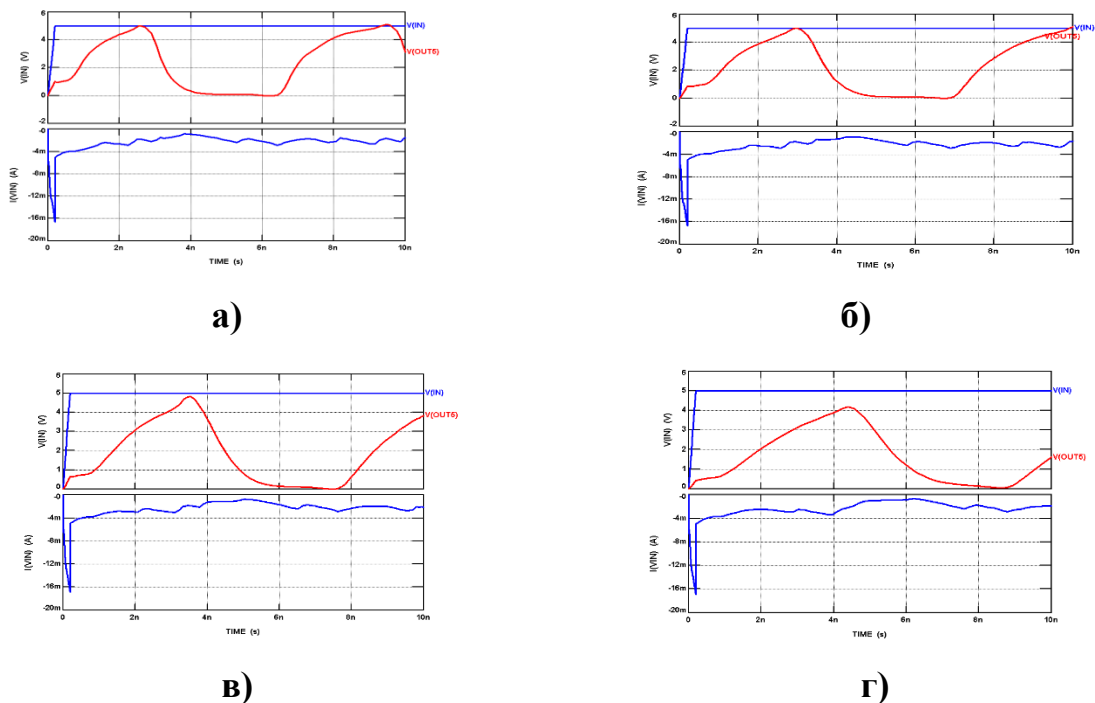
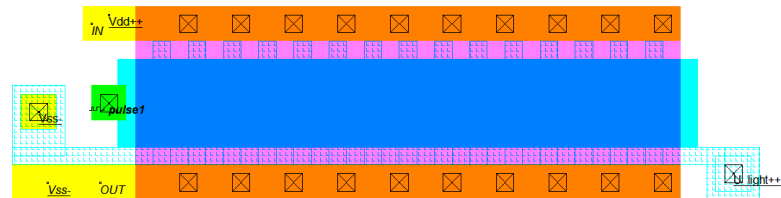
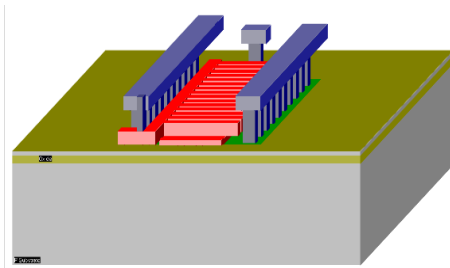


Рисунок 3.12. Результат моделювання генератора з розмірами керуючого n-канального резистора а)  $W=12\mu$ ,  $L=2\mu$ , б)  $W=24\mu$ ,  $L=2\mu$ , в)  $W=48\mu$ ,  $L=2\mu$ , г)  $W=96\mu$ ,  $L=2\mu$

На рис. 3.13. зображено топологію, тривимірне зображення, поперечні перерізи та розподіл товщин шарів розробленого фоточутливого елемента на основі КНІ МОН - транзистора. Товщини шарів було підібрано, для максимальної взаємодії із оптичними променями, довжиною хвилі 940 нм [105].



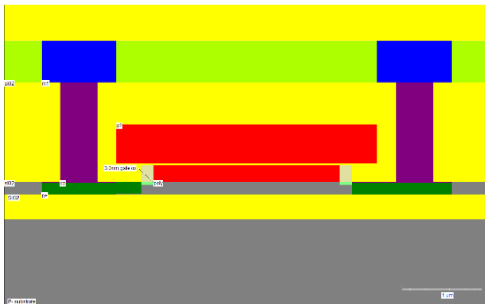
а)



б)



в)



г)

Layer	Thick(μm)	Height(μm)	Order
metal6	0.70	6.60	3
via5	0.50	6.10	4
metal5	0.70	5.40	3
via4	0.50	4.70	4
metal4	0.50	4.20	3
via3	0.50	3.70	4
metal3	0.50	3.20	3
via2	0.50	2.70	4
metal2	0.50	2.20	3
via	0.50	1.70	4
metal	0.50	1.20	3
poly	0.20	0.05	4
poly2	0.47	0.22	4
contact	1.20	0.00	4
diffn	0.15	0.00	4
diffp	0.15	0.00	4
nwell	0.15	0.00	4
option	0.50	1.00	4
thin oxide	0.0030		
double o	0.0070		

д)

Рисунок 3.13. Топологія (а), тривимірне зображення (б), перерізи (в,г) та розподіл товщин шарів (д) розробленого КНІ МОН- фоточутливого елемента.

Для розробленого КНІ МОН- фоточутливого елемента було проведено

моделювання енергетичних, часових та температурних характеристик. Моделюванням встановлено, що в діапазоні температур 20-60 °C розроблений елемент є температурно стабільним, що дає змогу зробити висновок, про температурну стабільність параметрів елемента у вказаному інтервалі температур.

Результати моделювання температурних характеристик зображено на рис. 3.14.

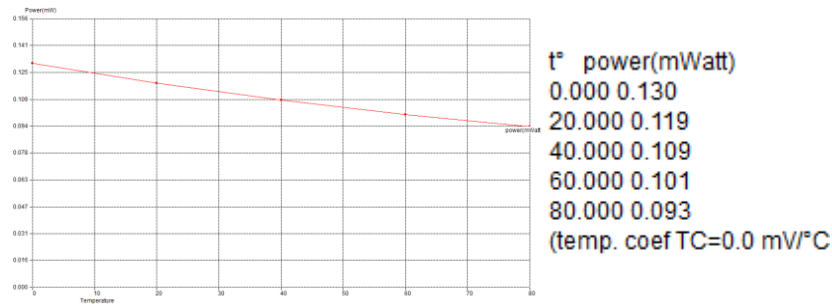


Рисунок 3.14. Результати моделювання температурних характеристик розробленого фоточутливого елемента [72].

Порівняльні результати зміни струму стоку транзистора до і після дії на світлочутливий шар зображено на рис. 3.15.

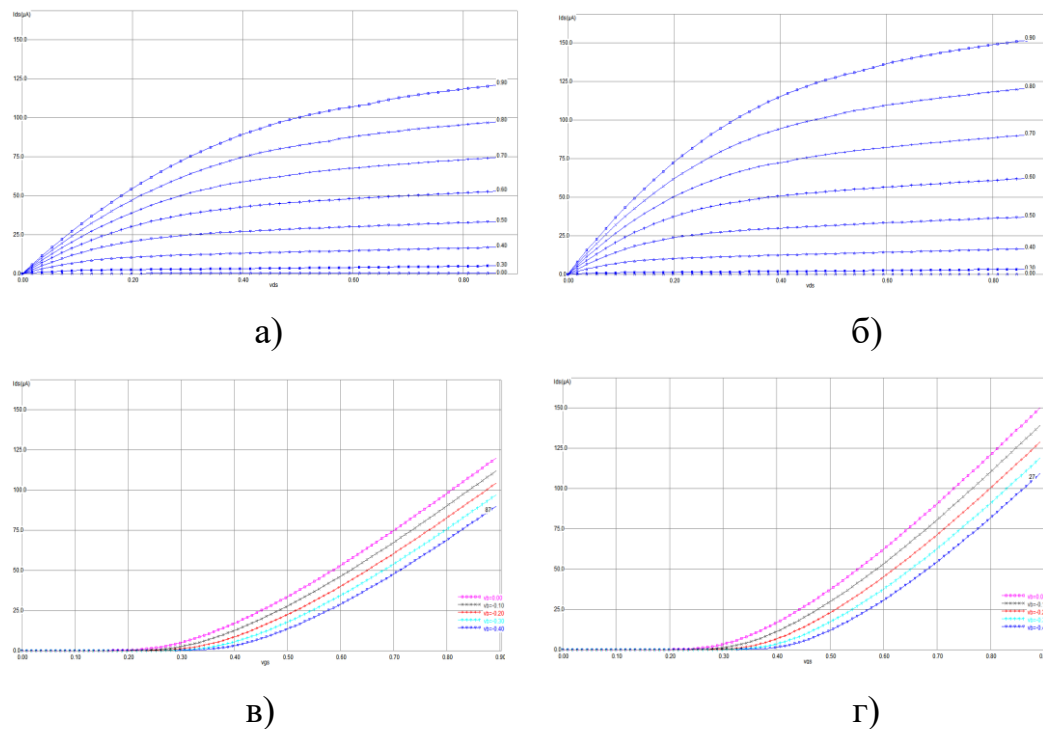
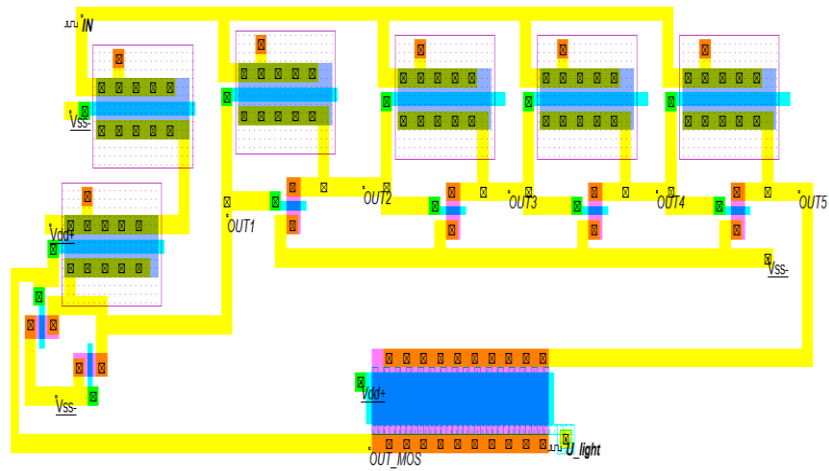
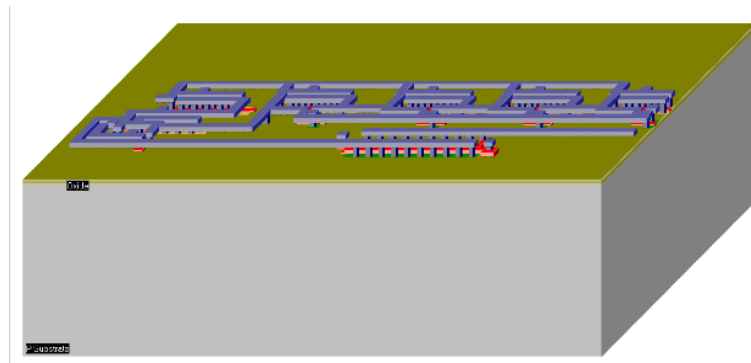


Рисунок 3.15. Залежності струму стоку від напруги стоці (а,в) та від напруги на затворі (б,г) без і з інтерференційним фільтром на 942 нм.

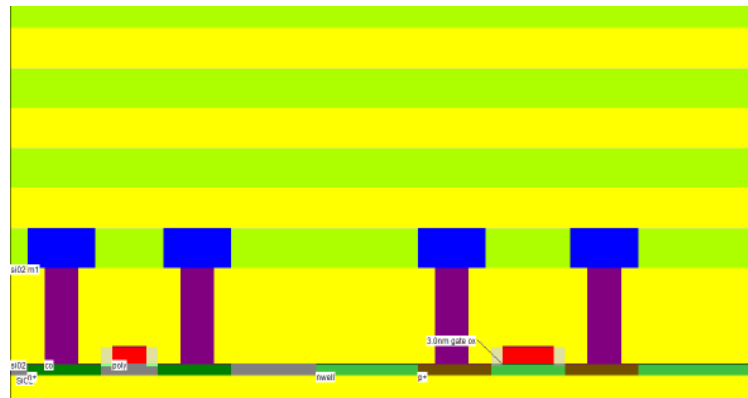
Розроблений фоточутливий елемент було інтегровано в топологію КГ. Топологія, об'ємне зображення та поперечні перетини якого зображено на рис. 3.16.



**a)**

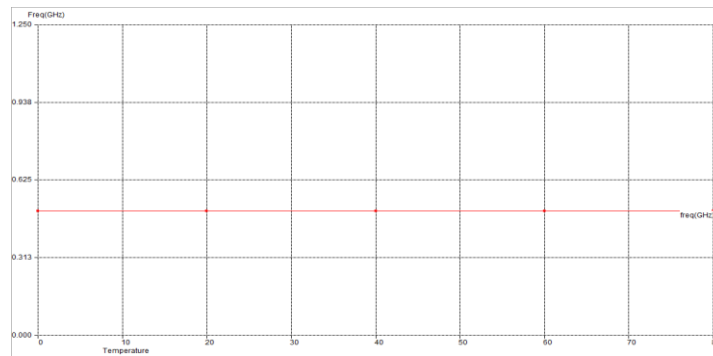


**б)**

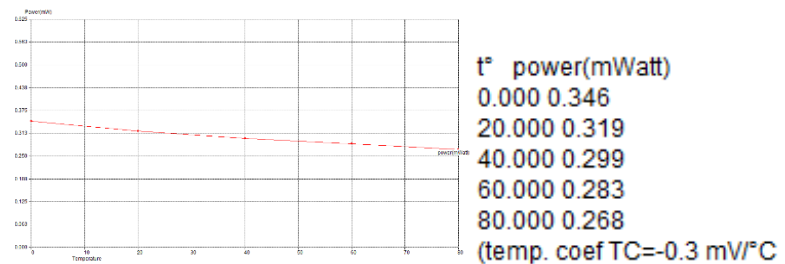


**в)**

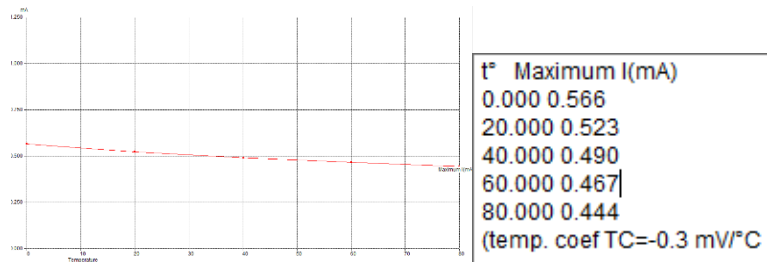
Рисунок 3.16. Топологія (а), об'ємне зображення (б) та поперечний перетин одного інвертора в складі КГ (в).



a)



б)



в)

Рисунок 3.17. Результати моделювання температурних залежностей: частоти генерації (а), розсіюваної потужності (б), струму стоку (в).

Отже, проведене моделювання частотних, температурних та енергетичних характеристик розробленого ІПС на основі КГ та чутливих елементів у його складі, зокрема, фоточутливого КНІ МОН-транзисторного елемента з керованим затвором, показує можливість його монолітної інтеграції для мікросистемних використань, включаючи монолітно-інтегровані інтерференційні фільтри на задані довжини хвиль. Що є перспективним для використання, напр., для біомедичних неінвазивних досліджень рівня глюкози в крові людини. Елементи зі структурами КНІ є суттєво кращими по споживаній потужності, що є критично важливим для розробки автономних біомедичних пристроїв.

### 3.3. Інтегральні перетворювачі сигналів на складних КМОН-інверторах з подвійним керуванням підканальними областями МОН - транзисторів.

Резистивні сенсори використовуються для вимірювання таких фізичних величин як тиск, температура, вологість, деформації, освітленість, магнітне поле, концентрація газів, електрохімічної реакції тощо . Резистивні сенсори мають перевагу на ємнісними та індуктивними сенсорами у простоті, точності, чутливості та можливості їх твердотільної реалізації і інтеграції в мікросистеми-на-кристалі сенсорного типу [7]. Інформаційний сигнал резистивного сенсора обробляється в аналогових або цифрових електричних схемах. В аналогових схемах використовуються мостові схеми, які під'єднуються до аналого-цифрових перетворювачів (АЦП) , інтерфейсних схем або мікроконтролерів . В цифрових схемах використовуються різні техніки оцифровування інформаційного сигналу .

У цьому підрозділі пропонується техніка оцифровування інформаційного сигналу з використанням КМОН інвертора в імпульсний сигнал, амплітуда якого залежить від опору чутливого елемента. Особливістю пропонованого інвертора на КМОН-транзисторах є введення подвійного керування пороговими напругами  $p$ - і  $n$ -канальних МОН-транзисторах як зі сторони затвору, так і зі сторони підкладки. Запропонована електрична схема ПС з подвійним керуванням підканальною областю  $p$ -МОН-транзистора показана на рис. 3.15.

ПС містить чутливий елемент резистивного типу  $R$ , модифікований КМОН-інвертор на транзисторах  $M1-M3$ , інтегральні ємнісні елементи  $C1, C2$ . Особливістю КМОН-інвертора є те, що додатково введено  $p$ -канальний МОН-транзистор  $M2$ , до підкладки якого подається вимірюваний сигнал через інтегруючу ланку  $R-C2$ . [120]

Чутливим елементом інтегруючої ланки є резистор  $R$ , невеликі зміни якого суттєво впливають на порогову напругу  $p$ -канального МОН-транзистора  $M2$ , який визначає амплітуду імпульсного сигналу  $OUT$  на виході інвертора.

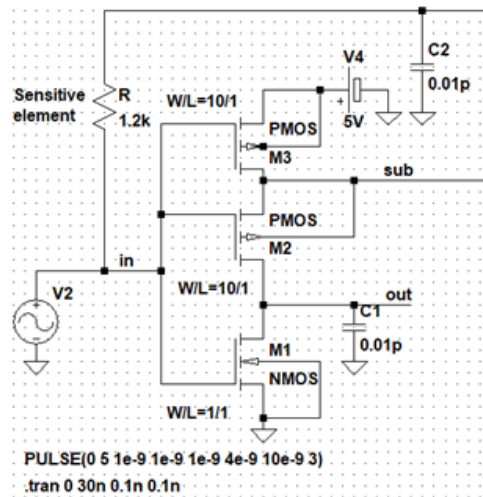


Рисунок 3.18. Схема електрична ІПС з подвійним керуванням підканальною областю  $p$ -МОН-транзистора.

Електричну схему промодельовано в програмі LTSpiceXVII. Отримані залежності вихідної напруги від опору чутливого елемента  $R$ , підключеного до підканальної області  $p$ -МОН-транзистора для двох варіантів розмірів транзисторів  $M3$ ,  $M2$ ,  $M1$  (варіант  $a$ :  $W/L=10/1$ ,  $10/1$ ,  $1/1$  мкм; варіант  $b$ :  $W/L=3/1$ ,  $3/1$ ,  $1/1$  мкм) показано на рис. 3.19.

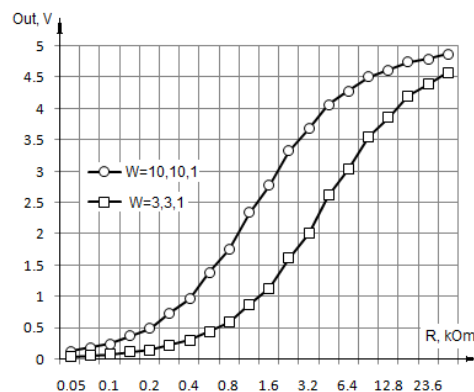


Рисунок 3.19. Залежність вихідної напруги ІПС від опору чутливого елемента, під'єднаного до підканальної області  $p$ -МОН-транзистора.

Як видно з рис. 3.19., при збільшенні опору чутливого елемента  $R$  амплітуда імпульсів вихідного сигналу збільшується. Для варіанту  $a$ , при зміні опору чутливого елемента в діапазоні  $0,6 \div 3,2$  кОм, а для варіанту  $b$  – в діапазоні  $1,2 \div 9,6$  кОм, криві залежностей є близькими до лінійних. Чутливість ІПС визначається як відношення зміни вихідного сигналу до одиничної зміни



вхідної величини. Чутливість ІПС з керованою підканальною областю *p*-МООН-транзистора показано на рис. 3.20.

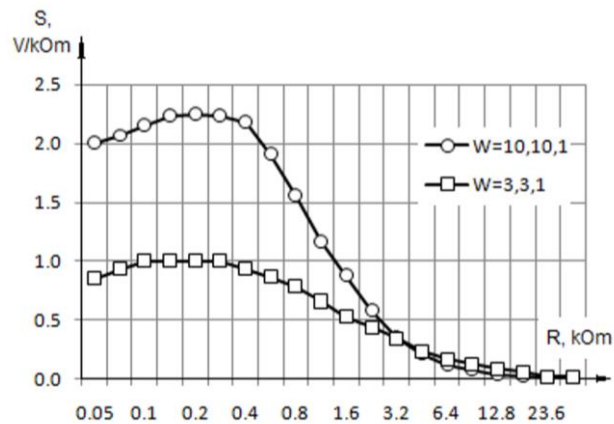


Рисунок 3.20. Чутливість ІПС з керованою підканальною областю *p*-МООН-транзистора.

Як видно з рис. 3.20. ІПС має найбільшу чутливість при змінах опору резистивного чутливого елемента в діапазоні  $0,02 \div 9,6 k\Omega$ .

На рис. 3.21 показано форми вихідних імпульсних сигналів для значень опорів чутливого елемента  $0,02$ ,  $1,2$  і  $9,6 k\Omega$  при напрузі вхідного сигналу  $5 V$ . [97].

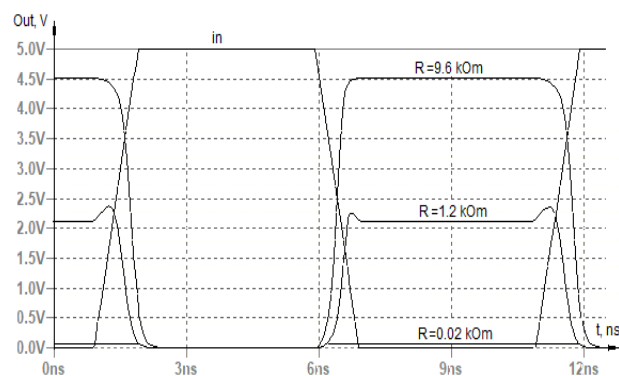


Рис. 3.21. Форми вихідних імпульсів ІПС для різних значень опору чутливого елемента.

Особливістю схеми на рис. 3.18 є те, що при збільшенні опору чутливого елемента збільшуються амплітуди вихідних сигналів ІПС, що співпадають з низькими рівнями вхідного сигналу. Такі зміни є достатніми і такими, що добре відрізняються та придатними для опрацювання в наступних каскадах сенсорної мікросистем-на-кристалі.

Електричну схему ІПС з керованою підканальною областю  $n$ -МОН-транзистора показано на рис. 3.22. У цій схемі чутливий резистивний елемент  $R$  підключений до підканальної області  $n$ -МОН-транзистора  $M2$ .

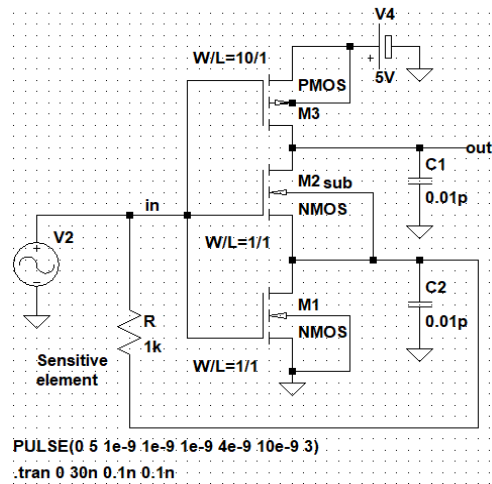


Рисунок 3.22. Схема електрична ІПС з керованою підканальною областю  $n$ -МОН-транзистора.

Залежності вихідної напруги від опору чутливого елемента, підключеного до підканальної області  $n$ -МОН-транзистора для двох варіантів розмірів транзисторів  $M3$ ,  $M2$ ,  $M1$  (варіант  $a$ :  $W/L=10/1$ ,  $1/1$ ,  $1/1$  мкм; варіант  $b$ :  $W/L=10/1$ ,  $3/1$ ,  $3/1$  мкм) показано на рис. 3.23.

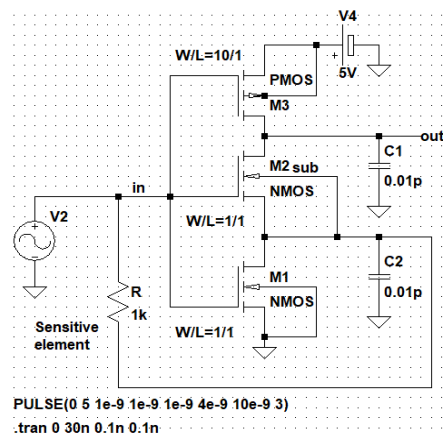


Рисунок 3.23. Залежності вихідної напруги від опору чутливого елемента, підключеного до підканальної області  $n$ -МОН-транзистора для двох варіантів розмірів транзисторів.

Як видно з рис. 3.24, при збільшенні опору чутливого елемента  $R$  амплітуда імпульсів вихідного сигналу зменшується. Для варіанту  $a$ , при зміні опору чутливого елемента в межах  $4,8 \div 35,4$  кОм, та для варіанту  $b$  – в межах  $2,4 \div 9$ ,  $6$  кОм, криві залежностей є близькими до лінійних.

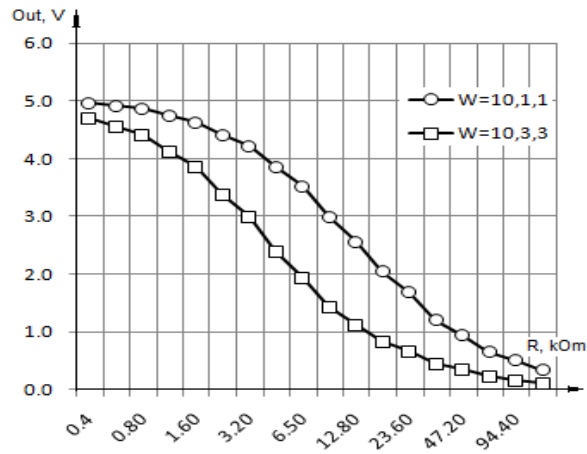


Рисунок 3. 24. Залежність вихідної напруги ІПС від опору чутливого елемента, підключеного до підканальної області  $n$ -МООН-транзистора.

Чутливість ІПС з керованою підканальною областю  $n$ -МООН-транзистора показано на рис. 3.25.

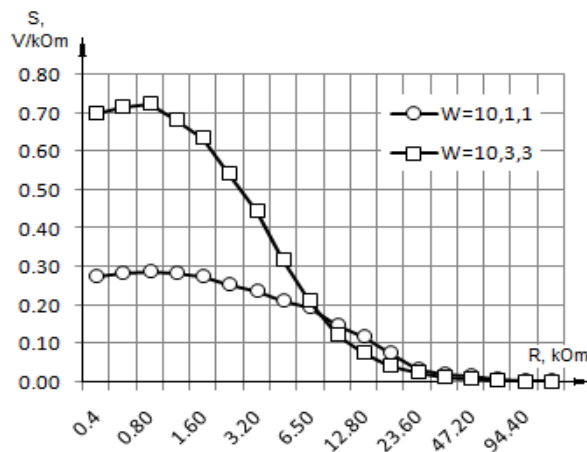


Рисунок 3.25. Чутливість ІПС з керованою підканальною областю  $n$ -МООН-транзистора.

На рис. 3.25 показано форми вихідних імпульсних сигналів ІПС для значень опорів чутливого елемента 2, 15 і 9,6 кОм при напрузі вхідного сигналу 5 В. Особливістю схеми на рис. 3.22 є те, що при збільшенні опору чутливого елемента зменшуються амплітуди вихідних сигналів, що співпадають з високими рівнями вхідного сигналу. Ці зміни є достатніми і придатними для оброблення в наступних каскадах мікросистем-на-кристалі.

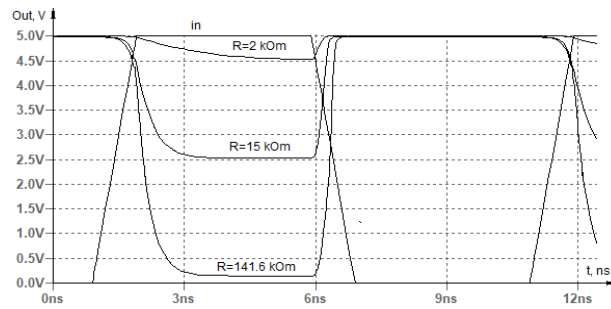


Рисунок 3.26. Форми вихідних імпульсів ІПС для різних значень опору чутливого елемента (для схеми на рис. 5,  $W/L = 10/1, 1/1, 1/1$  мкм).

У схемах на рис.3.18 і рис.3.22 при зміні опору чутливого елемента  $R$  амплітуди вихідних сигналів ІПС змінюються при низьких і високих рівнях вхідного сигналу. Схеми на рис. 3.18 і рис.3.22 можна об'єднати в одну, в якій при зміні опору сенсорного елемента буде змінюватися амплітуда вихідного сигналу для низьких і високих рівнів вхідного сигналу. Для цього сенсорний елемент під'єднують до підканальних областей  $p$ -МОН і  $n$ -МОН-транзисторів, як показано на рис. 3.27. Для симетричної зміни амплітуди вихідного сигналу для низьких і високих рівнів вхідного сигналу, розміри МОН-транзисторів **М1-М4** прийняті однаковими  $W/L=10/1$  мкм.

Залежності вихідної напруги від опору чутливого елемента  $R$ , під'єданого до підканальних областей  $p$ -МОН- і  $n$ -МОН-транзисторів з однаковими розмірами транзисторів **М1-М4** (варіанта:  $W/L=10/1$  мкм; варіантб:  $W/L=3/1$  мкм) показано на рис. 3.27.

Як видно рис. 3.28 при збільшенні опору чутливого елемента  $R$  амплітуда імпульсів вихідного сигналу ІПС збільшується для низьких рівнів і зменшується для високих рівнів вхідного сигналу.

Для варіанту *a*, при значенні опору чутливого елемента  $R=1,35$  кОм, для варіанту *б* – при  $R= 4,5$  кОм, імпульси вихідного сигналу ІПС вироджуються у рівень постійної напруги 2,5 В, що дорівнює половині напруги вхідного сигналу.

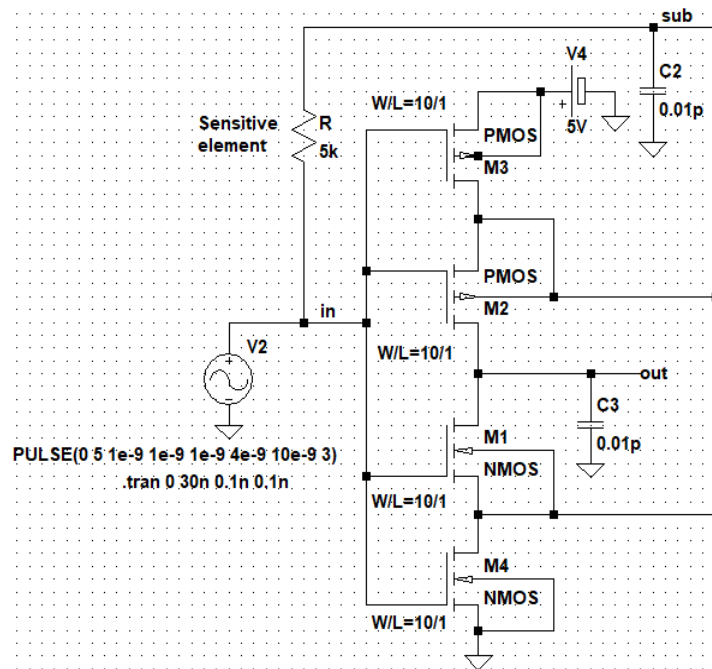


Рисунок 3.27. Схема електрична інтегрального сенсорного елемента з керованими підканальними областями  $n$ -МОН- і  $p$ -МОН-транзисторів.

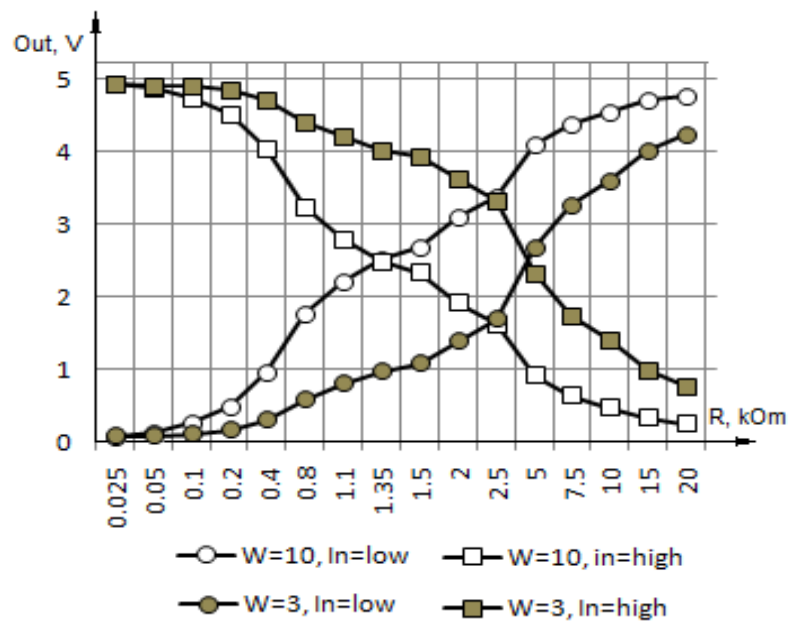


Рисунок 3.28. Залежності вихідної напруги ІПС від опору чутливого елемента, підключеного до підканальних областей  $p$ -МОН- і  $n$ -МОН-транзистора.

Чутливість резистивного сенсорного елемента з керованою підканальною областю  $p$ -МОН- і  $n$ -МОН-транзистора показано на рис. 3.26.

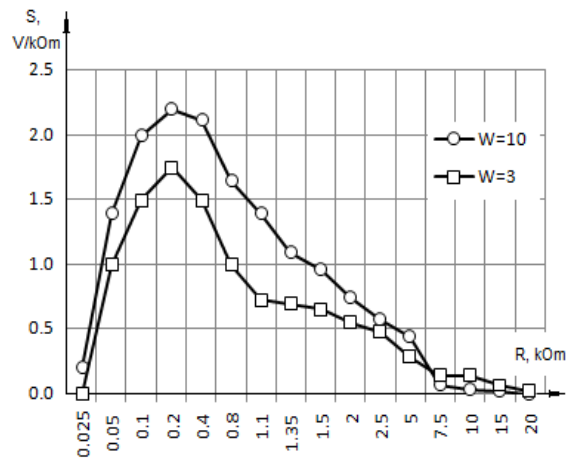


Рисунок 3.29. Чутливість резистивного ПС з керованою підканалльною областю *p*-МОН- і *n*-МОН-транзисторів.

На рис. 3.30 для схеми з рис. 3.27 показано форми вихідних імпульсних сигналів ПС для значень опорів чутливого елемента 0,4, 1,35 і 10 кОм при напрузі вхідного сигналу 5 В. Особливістю схеми на рис. 3.24 є те, що при збільшенні опору чутливого елемента амплітуда імпульсів вихідного сигналу збільшується для низьких рівнів і зменшується для високих рівнів вхідного сигналу.

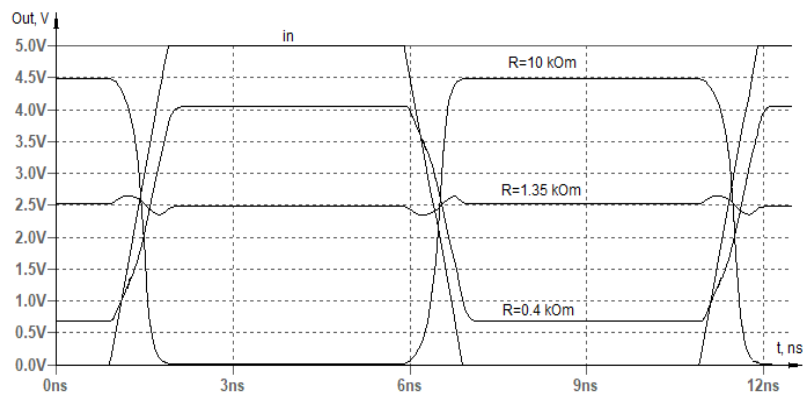


Рисунок 3.30. Форми вихідних імпульсів ПС для різних значень опору чутливого елемента (для схеми на рис. 3.27,  $W/L = 10/1$  мкм).

### 3.4. Інтегральний перетворювач рівнів сигналів

Важливими елементами ПС є інтегральні перетворювачі-формувачі рівнів сигналів (ІПРС). Їх основна функція полягає у формуванні підсилених сигналів із заданими амплітудами і перетворенні рівнів з низького до високого,

або навпаки, з високого до низького. Для ПС, які є внутрішніми елементами мікросистеми-на-кристалі, ПРС проектують за стандартними малими топологічними розмірами МОН- транзисторів. Інтегральні перетворювачі рівнів сигналів, призначені для зовнішнього інтерфейсу мікросистеми, і які мають великі ємнісні навантаження, вихідні транзистори матимуть відповідно великі співвідношення ширини каналу до його довжини, щоб забезпечити необхідні параметри вихідних сигналів мікросистеми з певним ємнісними навантаженнями. Іншим виконанням перетворювача рівнів сигналів для зовнішнього інтерфейсу можуть бути двокаскадні формувачі.[120].

Основним елементом ПРС є підсилювач тригерного типу, який керується одночасно як вхідним прямим так і парафазним сигналами. Підсилювач тригерного типу має високий коефіцієнт підсилення і його робоча точка фактично знаходиться в точці квантування вихідного сигналу, щоб й забезпечує його високу чутливість і високий коефіцієнт підсилення.

Для дослідження особливостей проектування ПРС було проведено його схемотопологічне моделювання при перетворенні рівнів сигналу з низького на високий та з високого на низький на основі КМОН – транзисторів. Було досліджено як спеціалізовану топологію ПРС так і на основі КМОН матричних комірок. Схемотехнічне моделювання проводили в пакеті TopSpice та безпосередньо із топології з врахуванням особливостей їх топологічної реалізації та інтегральної структури в пакеті MicroWind3.

На рис. 3.31 зображено досліджувану електричну схему перетворювача рівнів сигналів з низького на високий без врахування паразитних ефектів та особливостей топології. В цьому випадку для схемотехнічного моделювання враховує тільки топологічні розміри КМОН транзисторів, а саме, довжину  $L$  і ширину  $W$  каналів, які подані на схемі ПРС. Електрична схема ПРС містить вхідний інвертор (транзистори – р-канальний P1, n-канальний N1), тригерний елемент (транзистори р-канальні P2, P3 та n-канальні N2, N3) і буферного підсилювач (транзистори – р-канальний P4, n-канальний N4). ПРС має дві напруги живлення: низьку  $V_{ddLL}(2\text{ В})$  для вхідного інвертора і високу  $V_{ddHV}$ ,

(5 В). Ширини каналів для всіх р-канальних транзисторів мають 20 мкм, а n-канальних – 10 мкм, довжини каналів всіх транзисторів становлять 2 мкм. Такі розміри каналів транзисторів вибрані із врахуванням особливостей транзисторів матричних комірок і рухливостей носіїв зарядів в р- і n-канальних МОН-транзисторах [104].

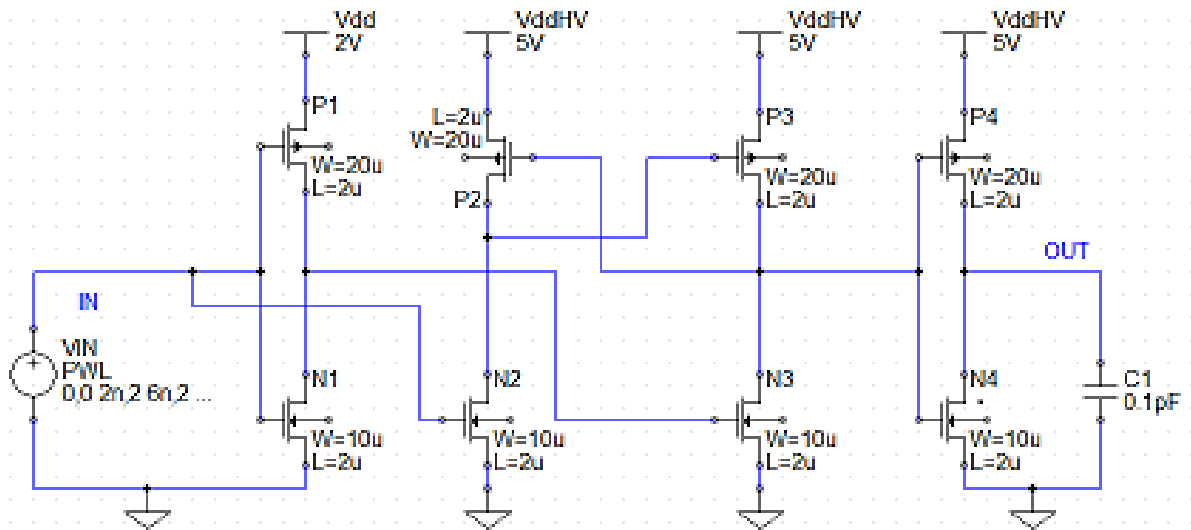


Рисунок 3.31. Електрична схема ППРС

Спроектована топології схеми ППРС відповідно до рис.3.28 на иатричній комірни типу послідовно з'єднаних 3-х р- і 3-х n-канальних транзисторів та 1-го р- і 1-го n-канального КНІ МОН- транзисторів зображено на рис. 3.29. Топологію спроектовано з використанням програмованих шарів металізації та контактів. Перевагою такої комірки є і те, що стік – витоків області діелектрично та електрично ізольованих між собою транзисторів можуть бути використані одночасно і як елементи комутації.

Поперечні перерізи р- і n-канальних КНІ МОН транзисторів відповідно по лініях А-А і В-В (рис. 3.32) показано на рис. 3.33.[96].

На топології рис. 3.32 і рис.3.33 цифрами позначено: 1, 2 – стік-витоків області відповідно р- і n-канальних КНІ МОН- транзисторів; 3 – полікремнієві затвори; 4 – контакти; 5 – комутаційні з'єднання до металізації.



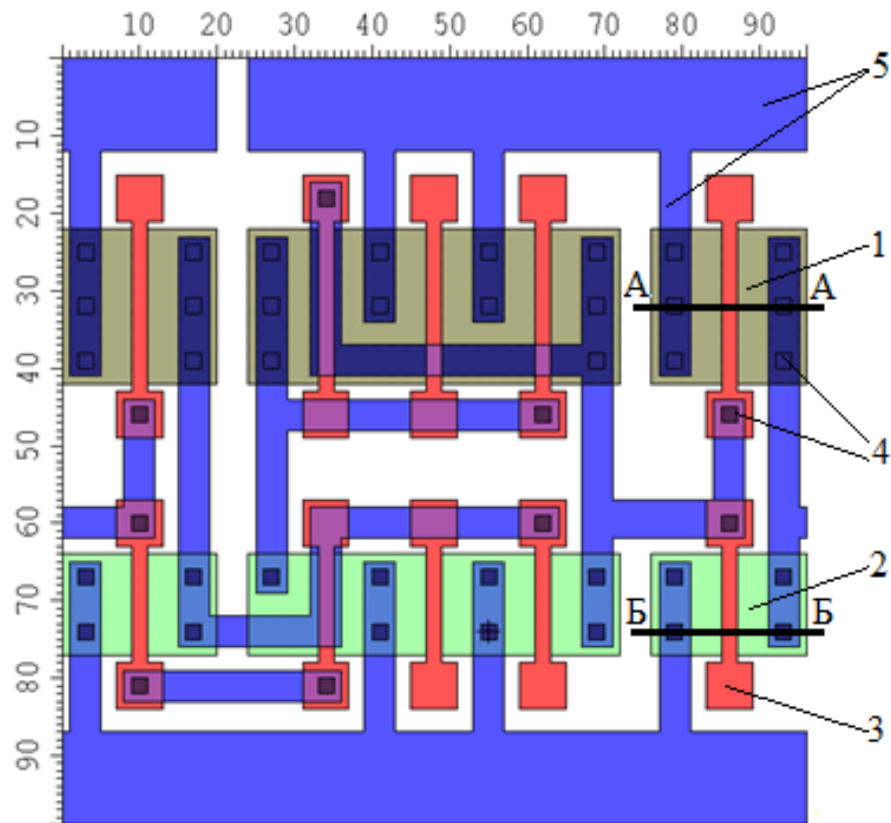


Рисунок 3.32. Топологія КНІ КМОН ІПРС на базовій матричній комірці.

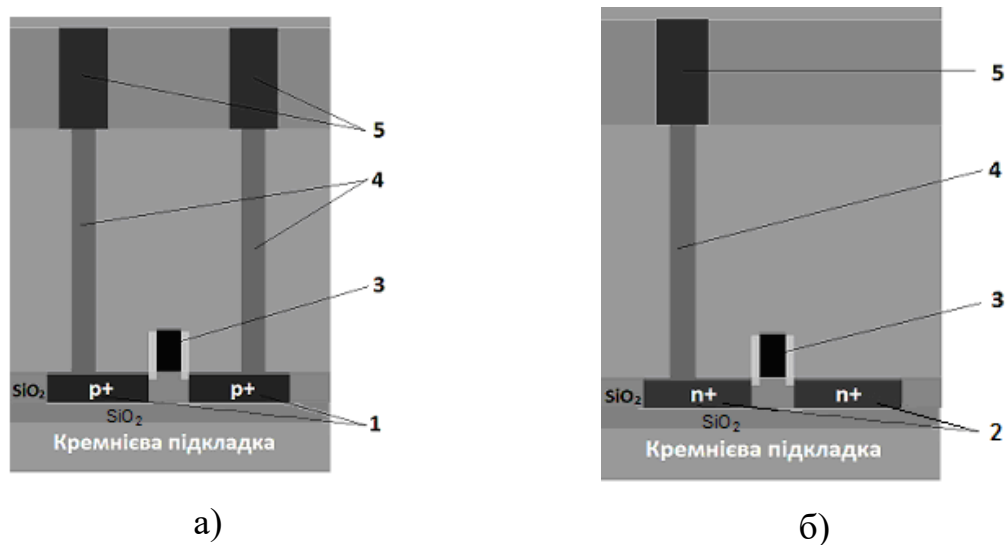
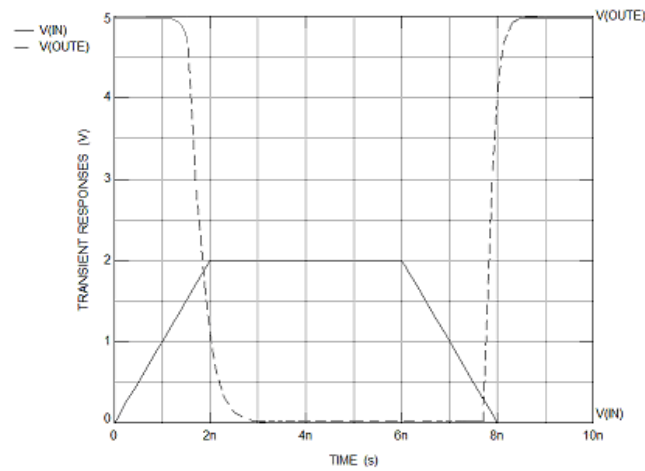


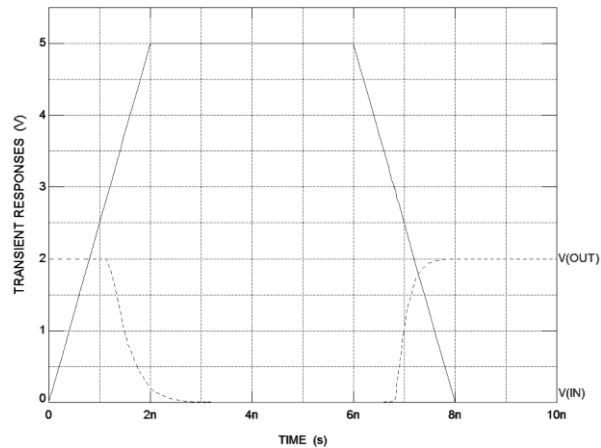
Рис. 3.33. Поперечні перетини р- і n-канальних КНІ МОН-транзисторів по лініях : а – А-А; б – В-В (рис.3.29)

Результати моделювання ІПРС в САПР TopSpice зображено на рис. 3.34, а) (перетворення низький – високий) , б) високий – низький. Суцільна лінія – вхідний сигнал, пунктирна – вихідний.

Такий ІПРС забезпечує перетворення рівнів сигналів, при цьому затримка вихідного сигналу по передньому фронту відносно вхідного становить не більше 0,8 нс для 2 мкм топологічних розмірів довжин каналів транзисторів.



а)



б)

Рисунок 3.34. Діаграма функціонування ІПРС - низький-високий а), високий - низький, б)

Результати моделювання ІПРС безпосередньо із топології для проектних норм 0,180 мкм і напругами перетворення із 1,2 В до 2,5 В проведені в САПР MicroWind3 зображено на рис. 3.35.

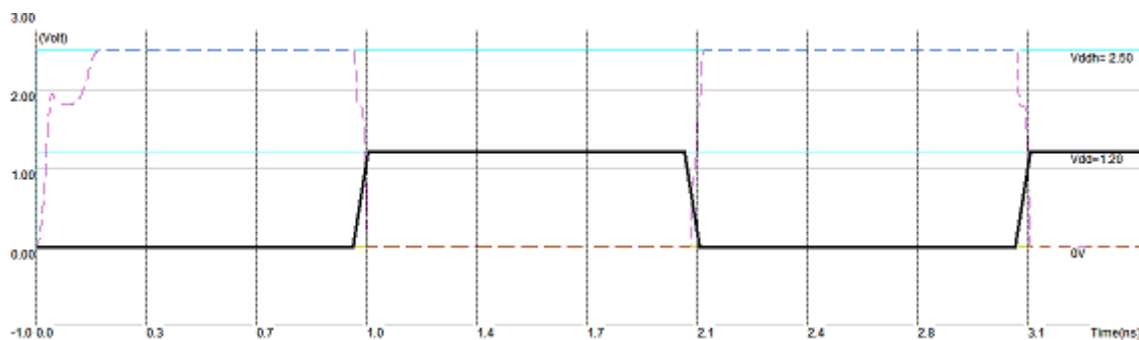


Рисунок 3.35. Часова діаграма функціонування ПРС. Суцільна лінія - вхідний сигнал 1.2В, пунктирна, вихідний, перетворений - 2.5В.

Для такого ПРС із 0,18 мкм проектними нормами затримка вихідного сигналу відносно вхідного на рівні 0,5 амплітуди становить 20 пс по передньому фронту.

Для розробленої топології моделюванням було досліджено (рис.3.36) вплив температури на затримки вихідного сигналу відносно вхідного по передньому фронту на стандартизованих рівнях 0,5 амплітуди в інтервалі температур відмінус40 °С до +125 °С. [80].

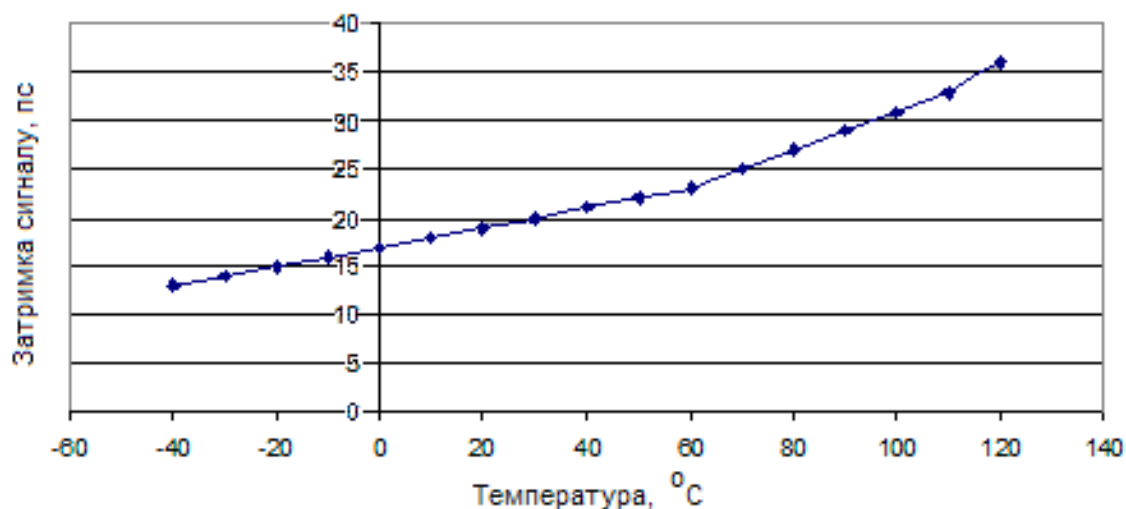


Рисунок 3.36. Вплив температури на затримку вихідного сигналу відносно вхідного.

Таким чином, за отриманими результатами, ПРС зі структурам КНІ мають покращені температурні та часові характеристики, а отримані результати є придатними для проектування ПС, інтелектуальних сенсорів та сенсорних мікросистем-на-кристалі.

## **РОЗДІЛ 4. ІНТЕГРАЛЬНІ ПРИСТРОЇ МІКРОСИСТЕМ-НА-КРИСТАЛІ ДЛЯ ЦИФРОВОЇ Й МАТЕМАТИЧНОЇ ОБРОБКИ ТА ПЕРЕТВОРЕННЯ СИГНАЛІВ.**

### **4.1. ІПС для реєстрації змін надмалих ємностей на КНІ КМОН-інверторах.**

ІПС, вбудовані безпосередньо у сенсорну мікросистему-на-кристалі (СМнК) можна використовувати для визначення зовнішніх впливів, таких як магнітні поля, деформації, зміни тиску і температури [8], вологість, а також при дослідженні нових конструкційних матеріалів для монолітної інтеграції в СМнК, а також у біомедичних дослідженнях, пов'язаних із визначенням значень або типів зарядів біомолекул. ССЄ мають особливе застосування для вимірювання зарядової ємності р-п-переходів, до яких застосовується зворотне зміщення.

Для вимірювання зарядових ємностей р-п-переходів застосовуються різні методи: метод заміщення в резонансному контурі; метод ємнісного омичного подільника; мостовий метод; методи вимірювання імпедансів та імітансів. Вимірювачі LCR та аналізатори імпедансу використовуються для точних вимірювань ємності та C-V характеристик. Але використання цих приладів має ряд недоліків, пов'язаних зі специфікою вимірювань. Вимірювані елементи підключаються до цих пристроїв з'єднувальними проводами. Тому спочатку необхідно виміряти ємності самих з'єднувальних проводів, потім ємності з'єднувальних проводів з підключеними вимірюваними елементами, а потім розрахувати їх різницю. Самі прилади містять високоточні генератори високочастотної напруги та елементи пасивного калібрування. Але такі прилади не призначені для одночасного вимірювання ємностей р-п-переходів різних елементів працюючої інтегральної схеми.

Тому на даний момент актуальною є розробка методів і засобів для одночасного дослідження та оцінки ємностей р-п-переходів різних елементів інтегральних схем в робочому режимі.

Окрім того, в процесі розробки ССЕ в СМнК виникає необхідність оцінки їх величин як складових елементів схем первинної обробки інформації безпосередньо на кристалі мікросистеми. Величини ємностей ССЕ можуть бути співмірними з входними ємностями КМОН- транзисторів у входних каскадах схем первинної обробки інформації [98]. У таких випадках ємності ССЕ слід вимірювати з урахуванням ємностей затворів транзисторів, безпосередньо підключених до ССЕ.

Для дослідження та оцінки ємностей вбудованих ССЕ в МSoC розроблено схему на основі інтегральних КМОН-транзисторів, яка наведена на рис. 1, яка дає можливість дослідження та оцінки ємності затворів входних транзисторів за рахунок інтеграції з елементами входного інвертора. Виконано схемне моделювання в середовищі TopSpice з використанням моделі BSIM3v3. Показано вплив зміни потужностей ССЕ, монолітно інтегрованого в елемент схеми обробки інформації на амплітудно-часові параметри вихідних сигналів. Отримано залежності часових параметрів вихідного сигналу від зміни періодів параметрів входних імпульсів, ємностей ССЕ та топологічних розмірів каналу МОН-транзисторів схеми вимірювання.

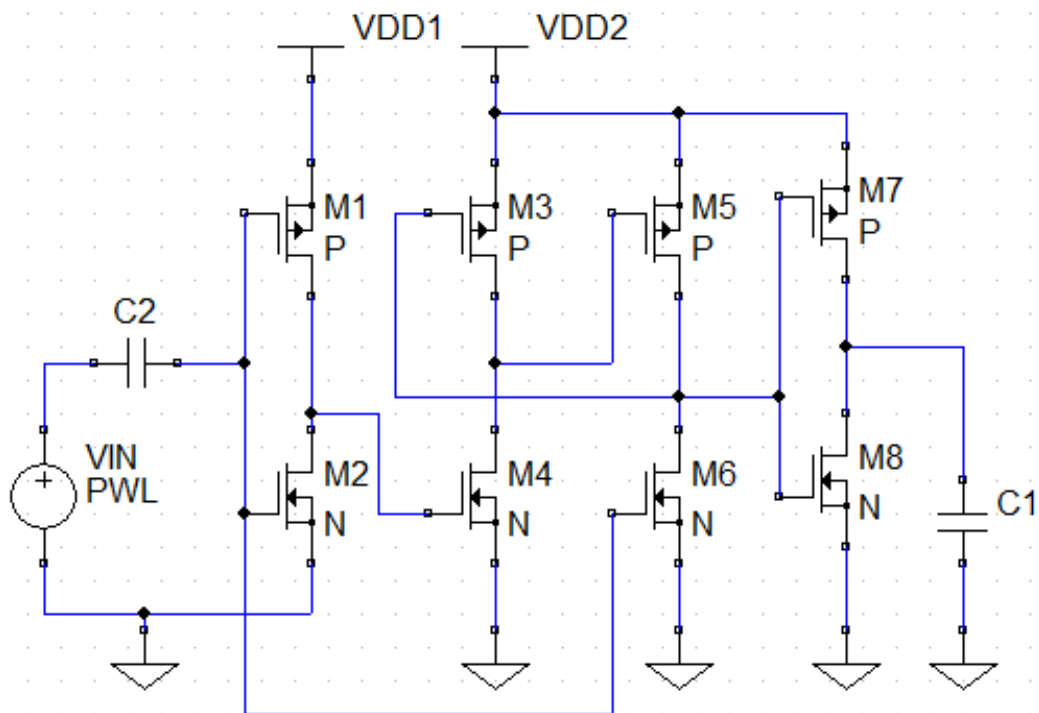
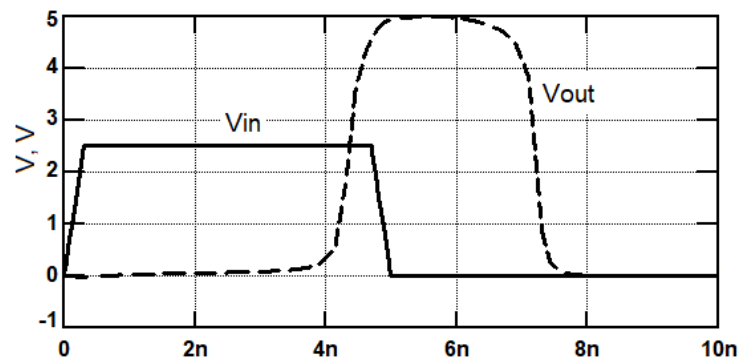


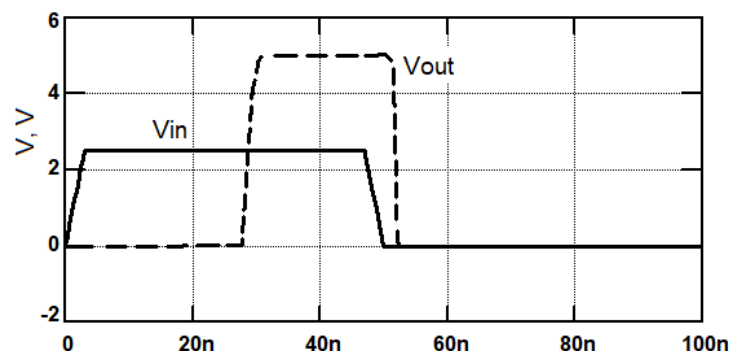
Рисунок 4.1. Базова електричні схеми для дослідження та оцінки ємності ССЕ в СМнК на основі КМОН- транзисторів.

Оснoву електричної схеми складають три функціональні блоки – вхідний інвертор на транзисторах M1, M2, підсилювач тригерного типу на транзисторах M3, M4, M5, M6 і формувач вихідного сигналу на транзисторах M7, M8. Досліджуваний СЄЕ моделювався як ємність Сх або як ємність р-п переходу МОН- транзистора. Розглянуто варіанти підключення СЄЕ паралельно ємностям: витік-підкладка і стік-підкладка транзисторів M1 і M2. Опорний конденсатор С2 підключається між затвором вхідного каскаду та джерелом сигналу для імітації ємності вхідних каскадів КМОН. Синфазні сигнали з входу і виходу інвертора подаються на входи M4 і M6 тригера з високим коефіцієнтом підсилення відповідно. Конденсатор С1 імітує вхідну ємність КМОН -схеми наступних етапів обробки вихідного сигналу [2].

Імпульсні сигнали з періодом 10 нс і 100 нс надходили на вхідний каскад схеми. Зміна ємності СЄЕ впливала на амплітудно-часові параметри вихідного сигналу вимірювальної схеми, як показано на рис. 4.2, а) і б).



а)



б)

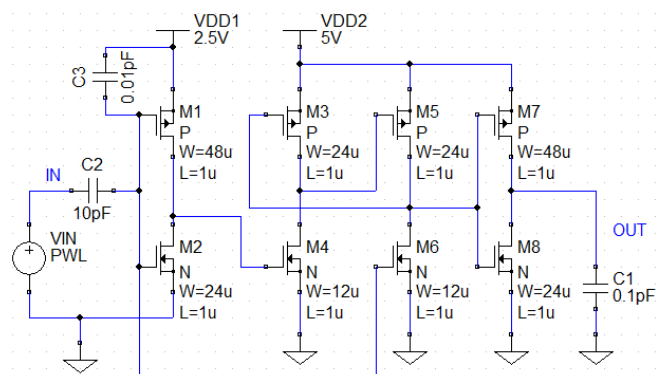
Рисунок 4.2. Форми вхідних і вихідних сигналів з підключеним СЄЕ:

а –  $T_{in}=10$  нс; б –  $T_{in}=100$  нс

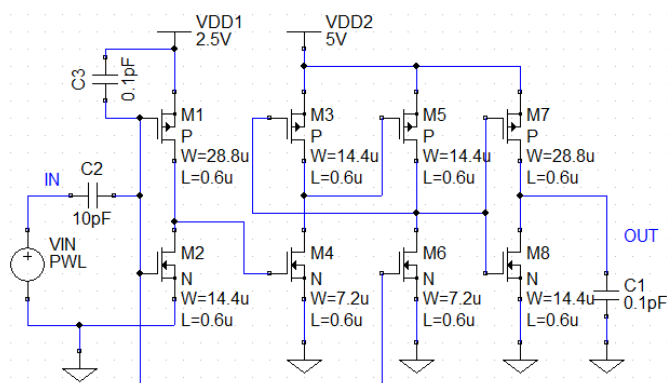
Комп'ютерне моделювання й отримані графіки залежностей  $T_{out} = F(T_{in}, C_x, W/L)$  для різних схем підключення ССЕ від ємностей витік-підкладка, стік-підкладка транзисторів M1 і M2 інвертора. На основі цього були визначені порогові значення та діапазони чутливості ССЕ, а також геометричні розміри каналів р- та n-канальних МОН транзисторів для проектування реальної топології вимірювальної схеми.

Схему вимірювання може бути також двоканальною. Перший канал буде виводити опорні значення вихідних сигналів. У другому каналі виміряні ємності ССЕ підключаються до вхідного каскаду, що впливатиме на АЧХ вихідних сигналів. Виходи двох каналів можуть бути подані в спеціальну схему для виявлення різниці сигналів і оцінки значення ємності.

На рис. 4. 3 а), б), в наведені схеми підключення ССЕ (змодельованого як ємність C3) до р-канального МОН-транзистора M1 вхідного каскаду вимірювальної схеми з різними значеннями розмірів транзисторів, поданих на схемах а), б) і в).



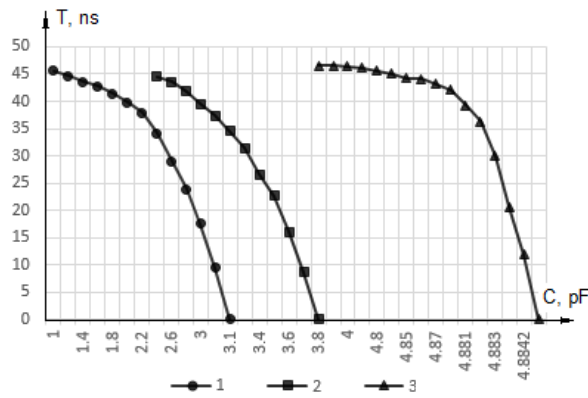
а)



б)







б)

Рисунок 4.4. Залежності періоду вихідного сигналу періоду  $T_{out}$  від ємностей ССЕ, отриманих для схем, наведених на рис.2: а –  $T_{in}=10$  нс; б –  $T_{in}=100$  нс;

Відповідно: 1 – рис.4. 2, а; 2 – рис.4. 2, б; 3 – рис.4.2, в.

Можливі схеми підключення ССЕ, який імітується як ємність р-п-переходів р-МОН-транзистора, до р-МОН-транзистора М1 вхідного каскаду схеми вимірювання показані на рис. 4.5.

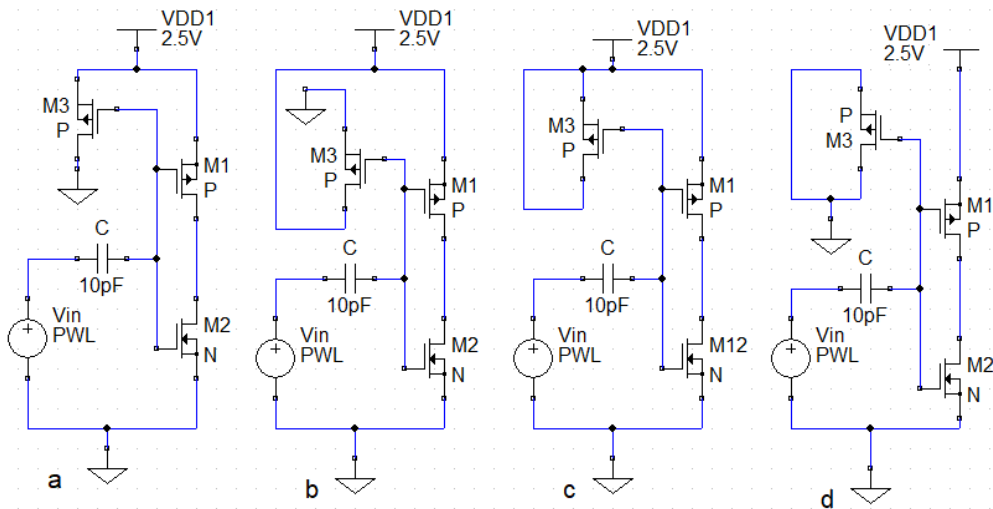
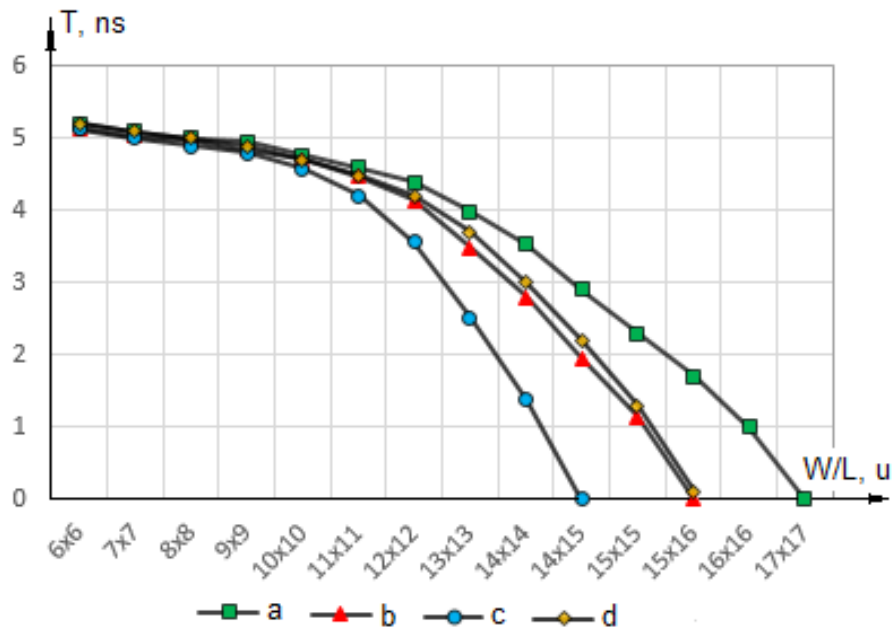
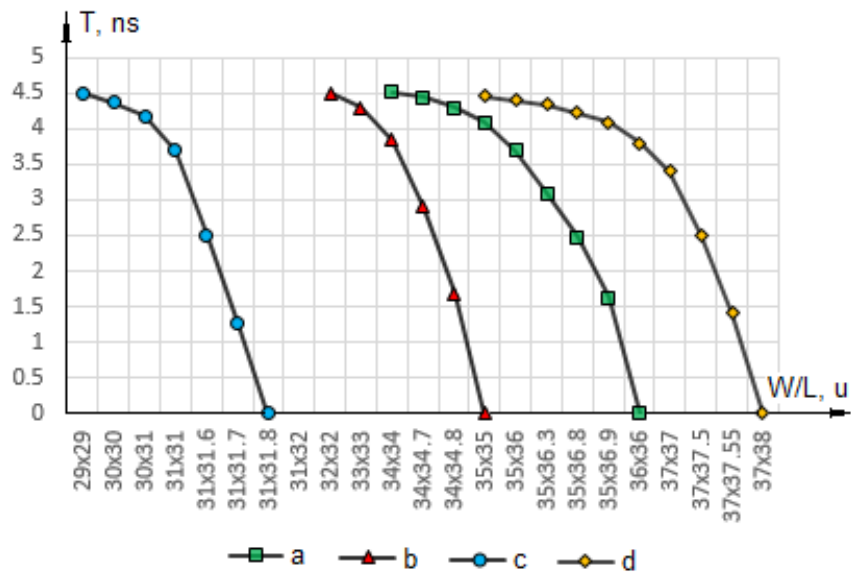


Рисунок 4.5. Можливі схеми підключення ССЕ, який моделюється як ємність р-п переходів р-МОН транзистора, до вхідного каскаду.

Залежності періоду вихідного сигналу  $T_{out}$  при  $T_{in} = 10$  нс від значення вимірної ємності ССЕ, яка моделюється як ємність р-п-переходів р-МОН транзистора, підключених за схемами, наведеними на рис. 4.5, а, б, в, г, показані на рис. 4.6. а) – довжини каналів транзисторів М1-М8  $L=1\mu$ , б) – довжини каналів транзисторів М1-М8  $L=0,2\mu$ .



а)



б)

Рисунок 4.6. Залежності періоду вихідного сигналу  $T_{out,on}$  при  $T_{in}=10$  нс від ємності СЄ, який моделюється як р-МОН транзистор з топологічними розмірами  $W/L$ , з'єднаний за схемою: а – рис.4. 5 , а; б – рис. 4.5, б; в; рис.4. 5- в, г; рис.4.5, д.

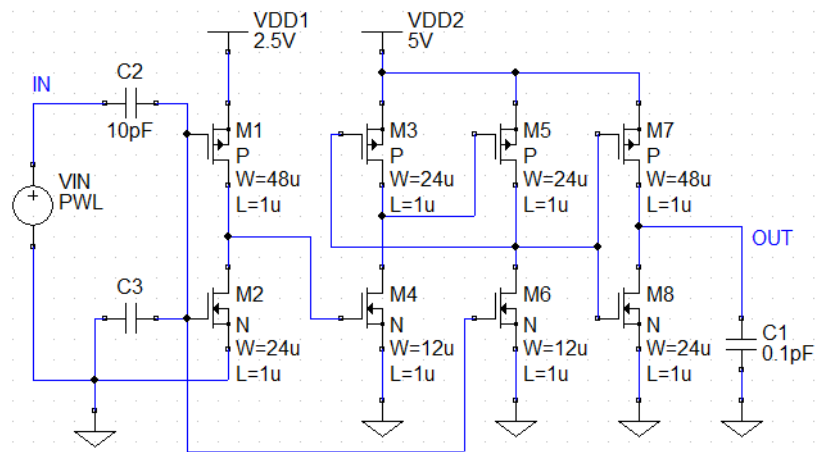
Як видно з рис. 4.6, а) (довжини каналів  $L = 1\mu$  транзисторів М1-М8), залежність «а» відповідає найбільшому діапазону можливих вимірних ємностей СЄ, отриманих за схемою підключення р-МОН транзистора, показано на рис. 4.5, а. Залежності «б» і «д» відповідають середнім діапазонам можливих вимірних ємностей СЄ, отриманих за схемами підключення р-МОН

транзистора, наведених на рис. 4.5, б), д). Залежність «с» відповідає найменшому можливому діапазону вимірювань ємностей ССЕ, отриманих за схемами підключення р-МОН транзистора, наведених на рис. 4.5, в).

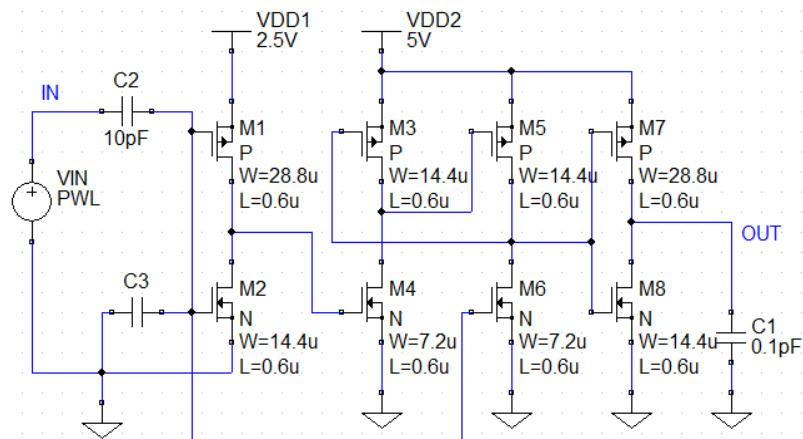
Залежність «а» та відповідну їй схему підключення ССЕ можна вважати найкращою, оскільки вона перекриває всі інші залежності.

Як видно з рис. 4.6, б) (довжини каналів  $L=0,2\mu$  транзисторів М1-М8) значно збільшили топологічні розміри можливих вимірних ССЕ на основі р-МОН транзисторів, зменшили майже вдвічі діапазони можливих вимірювань, а «с» залежність виникла без перекриття. При цьому кожен діапазон вимірювань забезпечується власною схемою підключення ССЕ.

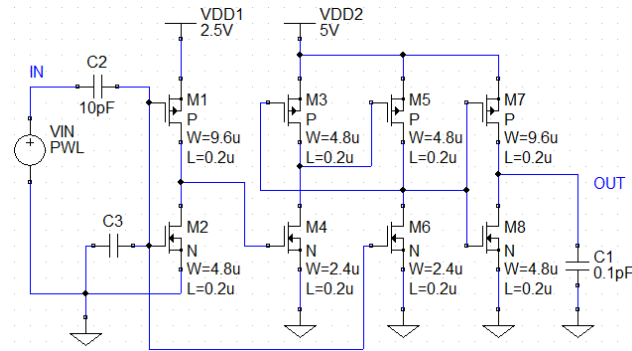
Схеми підключення ССЕ (змодельованого як ємність С3) до п-МОН-транзистора М2 вхідного каскаду вимірювальної схеми наведено на рис.4.7- а), б), в).



а)



б)



с)

Рисунок 4.7. Схеми з підключенням ССЕ до n-МОН транзистора вхідного каскаду та вхідного сигналу  $V_{in}$  з періодами 10 нс та 100 нс: а –  $W/L$  (48u/1u, 24u/1u, 12u/1u); б –  $W/L$  (28,8u/0,6u, 14,4u/0,6u, 7,2u/0,6u); с –  $W/L$  (9,6u/0,2u, 4,8u/0,2u, 2,4u/0,2u).

Як показали результати моделювання схем, зображених на рис. 4.7, залежності періоду вихідного сигналу  $T_{out}$  від величини вимірних ємностей ССЕ, яка моделюється як ємність  $C3$ , практично збігаються із залежностями, наведеними на рис. 4.4 а), б).

Можливі схеми підключення ССЕ (змодельовані як ємність р-n-переходів n-МОН- транзистора) до n-МОН-транзистора  $M2$  вхідного каскаду вимірювальної схеми, показані на рис. 4.8.

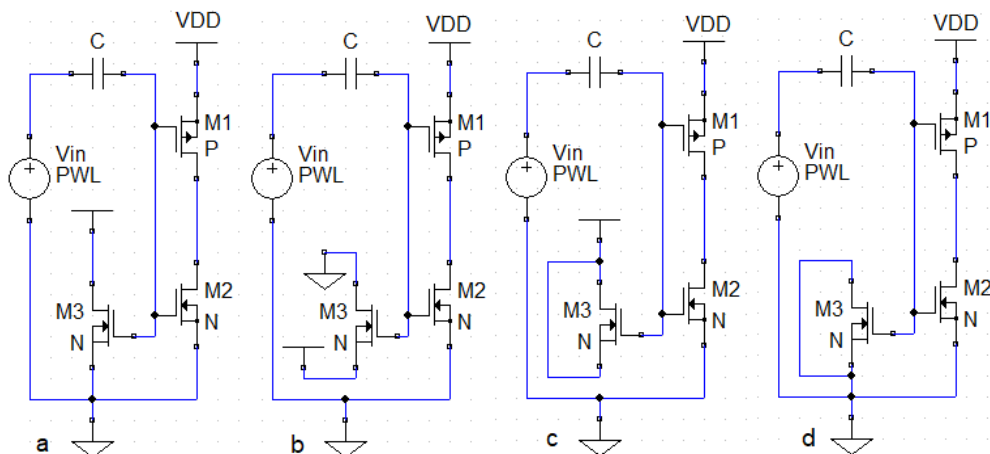
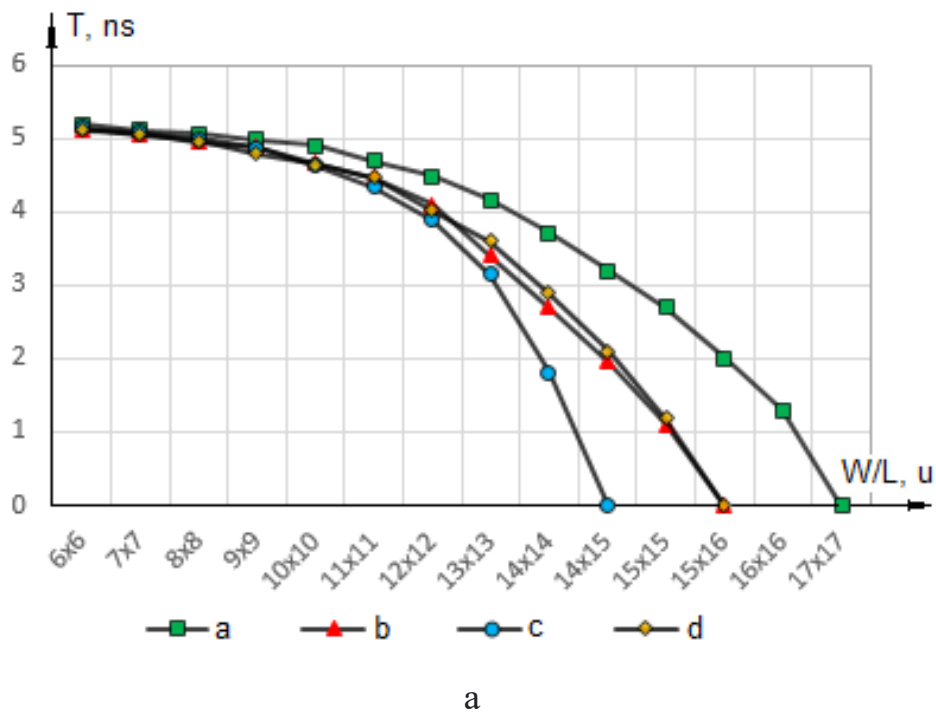


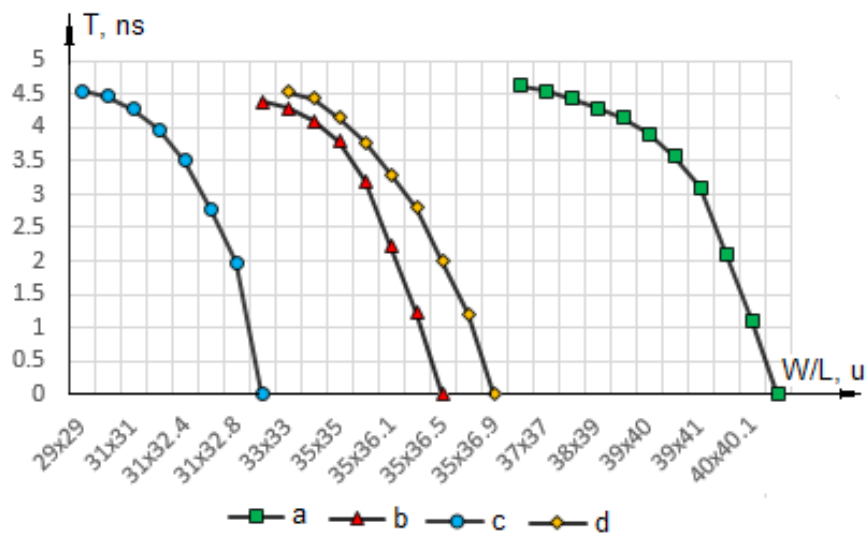
Рисунок 4.8. Можливі схеми підключення ССЕ, який імітується як ємність р-n переходів n- МОН-транзистора вхідного каскаду.

В залежності від періоду вихідного сигналу  $T_{out}$  при  $T_{in} = 10$  нс від значення вимірної ємності ССЕ, яка моделюється як ємність р-n-переходів n-МОН

транзистора, підключених за схемами, наведеними на рис.4 8, а, б, в, г, показані на рис. 4.9, а – (довжини каналів транзисторів М1-М8  $L=1\mu$ , б – довжини каналів транзисторів М1-М8  $L=0,2\mu$ ).



а



б

Рисунок 4.9. Залежності періоду вихідного сигналу  $T_{out}$  при  $T_{in}=10$  нс від ємності  $C_{EE}$ , який моделюється як р- МОН транзистор з топологічними розмірами  $W/L$ , з'єднаний за схемою: а – рис. 4.5, б – рис.4.5; б, в – рис.4.5, в; г – рис.4. 5, д.

Залежності на рис. 4.9,а практично збігаються із залежностями рис. 4.6, а, що свідчить про еквівалентність схем підключення n- МОН і р- МОН

транзисторів для схеми вимірювання з довжинами каналів  $L=1\mu$  транзисторів M1-M8.

Залежності «b» і «с» на рис. 4.9,b і рис.4, 6b практично збігаються, що свідчить про еквівалентність схем підключення n- МОН і р- МОН транзисторів для схеми вимірювання з довжинами каналів транзисторів M1-M8  $L = 0,2\mu$ .

Діапазон можливих вимірних ємностей ССЕ для залежності «а» на рис. 4.9, b ( $W/L\ 37x37\div 40x40,1$ ) розширює відповідний діапазон залежності «а» на рис. 4.6 b ( $W/L\ 34x34\div 37x37$ ). Аналогічно, але навпаки, діапазон можливих вимірних потужностей ССЕ для залежності «d» на рис. 4.6 b ( $W/L\ 35x35\div 37x38$ ). розширює відповідний діапазон залежності “d” на рис. 4.9,b ( $W/L\ 34x34\div 35x37$ ). Таким чином, схеми з’єднання на рис. 4.5,a, рис. 4.5,г та рис. 4.8,a, рис.4.8,г є взаємодоповнюючими та дозволяють розширити діапазон вимірювання ємностей ССЕ шляхом каскадування вимірювальних схем з різною довжиною каналів МОН-транзисторів.

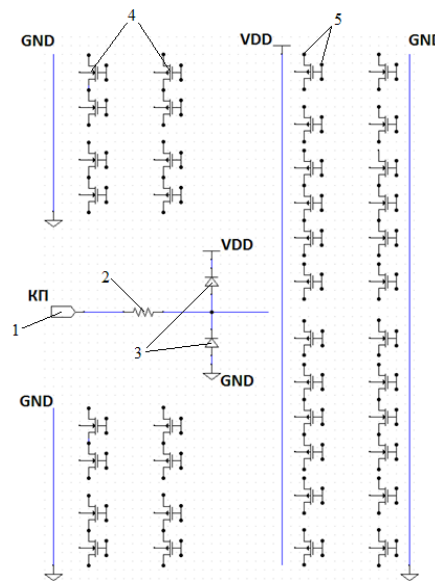
#### **4.2. Розроблення і моделювання електричних, часових температурних та енергетичних характеристик КНІ КМОН програмованих вхідних/вихідних буферних каскадів.**

Для зовнішнього інтерфейсу мікросистеми, а саме для передачі інформації на зовнішні комп’ютеризовані пристрої розроблено і проведено схемотопологічне моделювання універсального програмованого вихідного буферного каскаду, реалізованого на базовій матричній комірці зі структурами КНІ. Схема електрична такої комірки зображена на рис.4.10, а), а її топологія на рис.4.10, б). Ця базова комірка призначена для проектування схем зовнішнього інтерфейсу за принципом базового матричного кристалу, використовуючи 2 програмовані шари металізацій і 2 шари контактних вікон. Вона містить контактну площадку, два типи р- і n-канальних КНІ КМОН – транзисторів та схему захисту вхідних каскадів від електростатичних розрядів та перепадів напруг вхідних зовнішніх сигналів[94].

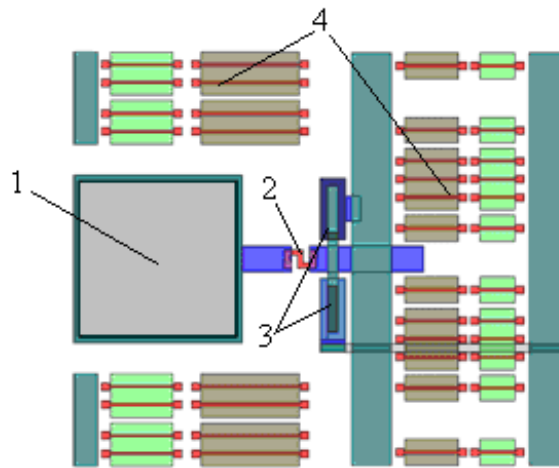
Комірка містить 22 пари КНІ МОН - транзисторів р- і n-типу, частина яких мають з’єднані стік-витоків області, інша частина транзисторів – діелектрично

ізолювані між собою. В комірці є шини живлення Vdd і загальна шина – GND. Транзистори у правій частині комірки – призначені для проектування логічної частини буферного каскаду, мають малі розміри, а транзистори – зліва – мають вдвічі ширші канали для забезпечення необхідної навантажувальної здатності.

Програмований вихідний буферний каскад з 3-ма станами призначений для адаптації існуючого виводу інформації до навантаження за допомогою логіки програмування. Схема буферного каскаду (Рис.4.11), здатна перемикати вихідний сигнал з контактної площадки з програмованими струмами - 0 mA (вихід закритий, третій стан або високий Z), 2 mA, 4 mA або сумарний струм  $2\text{ mA} + 4\text{ mA} = 6\text{ mA}$ . Необхідний стан вихідного буфера задається сигналами дозволу з високим логічним рівнем відповідно EA-2 mA, EA-4 mA, одночасно EA-2 mA і EA-4 mA, що еквівалентно паралельній роботі двох буферів або EA = 6 mA. Якщо EA-2 mA і EA-4 mA одночасно мають низький логічний рівень, це еквівалентно стану високого Z на виході. Електрична схема і таблиця істинності функціонування програмованого буферного каскаду подані на рис.4.11 і таблиці 4.1. Розроблено схему електричну і топологію комбінованої матричної комірки для проектування зовнішніх як вхідних, так і вихідних каскадів для мікросистем-на-кристалі [80].



a)



б)

Рисунок 4.10. Електрична схема (а) і топологія (б) зовнішньої матричної комірки мікросистеми-на-кристалі: 1 - контактна площадка; 2 – полікремнієвий резистор; 3 – захисні діоди; 4 – n- і p- каналні КНІ МОН-транзистори; 5 – 2 рівні програмованих шарів металізації і контактних вікон.

На схемі електричній – точками показані комутаційні контакти для трасування і під'єднань шин металізації.

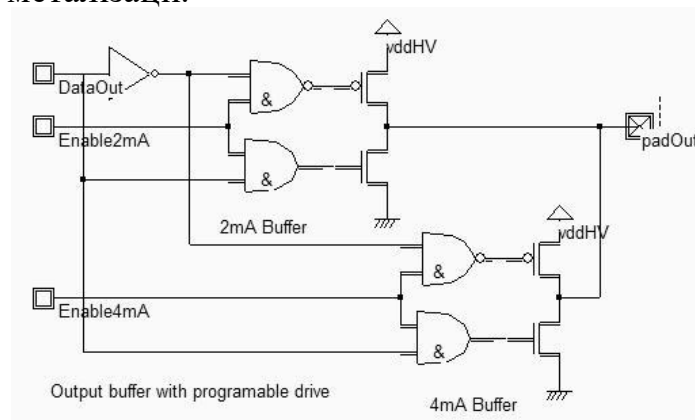


Рисунок 4.11. Програмований вихідний буферний каскад – 0, 2, 4 або 6 мА.

Таблиця 4.1.

Таблиця істинності функціонування програмованого буферного каскаду

En 4mA	En 2mA	Вихідний струмт
0	0	0mA (3-й стан)
0	1	2mA
1	0	4mA
1	1	6mA

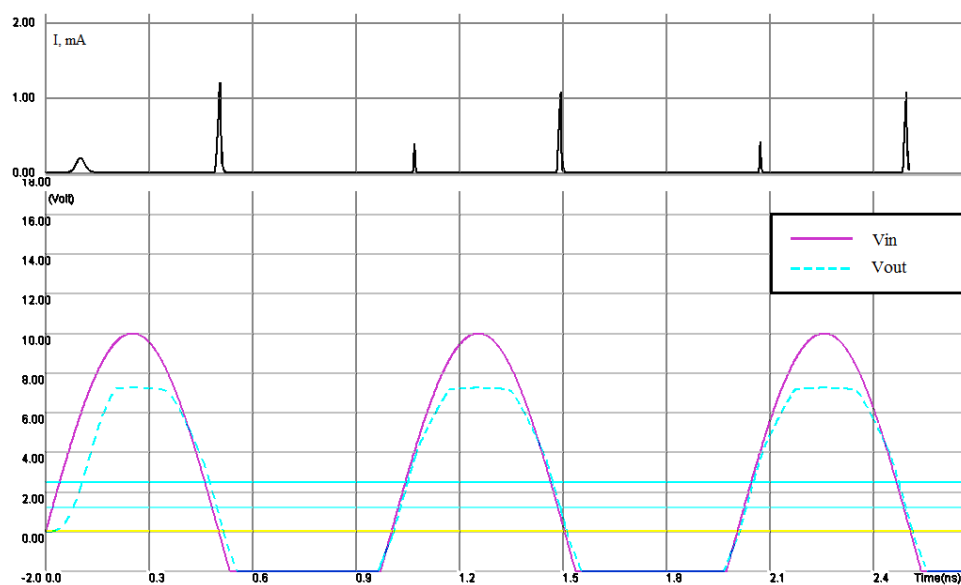


Вихідний струм визначається комбінацією сигналів дозволу EN-4мА, EN-2мА.

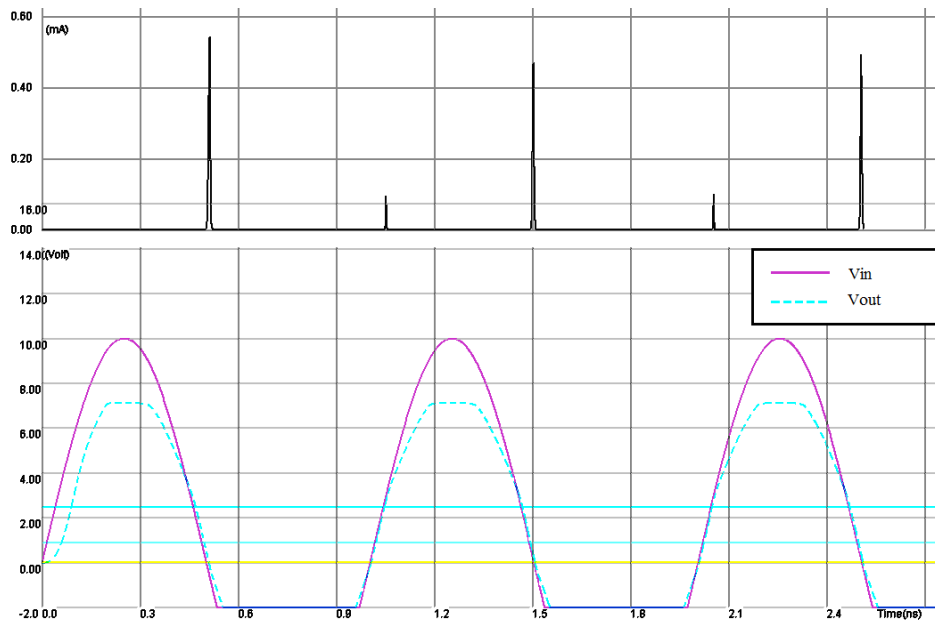
Для оцінки швидкодії вхідних каскадів на основі цієї комірки було досліджено часові затримки проходження сигналів через контактну площадку і схеми захисту від статичної електрики на основі діодів і полікремнієвого резистора. Порівняльні дослідження було проведено як для об'ємних КМОН – структур, так і аналогічних КНІ КМОН – структур. Моделювання проводилось у пакеті MicroWind безпосередньо із топології з врахуванням W/L транзисторів і паразитних елементів.

Для моделювань на вхід контактної площадки подавали Sin сигнал  $F=1$  ГГц, амплітудою 10 В,  $U_{dd} = 5$  В. Отримані результати моделювань: для стандартних КМОН- структур середній час затримки сигналу становить 6.8 пс, максимальний струм – 1,12мА, споживана потужність схеми 8,5 мВт. (рис. 4.12,а).[113].

При використанні КНІ КМОН - структур, час затримки сигналу становить 3,8 пс, максимальний струм 0,52 мА, споживана потужність – 6,8 мВт (рис. 4.12,б). Отже, при проходженні сигналів через контактні площадки і схеми захисту для вхідних каскадів на основі КНІ КМОН –структур порівняно із стандартними КМОН- структурами, час затримки проходження сигналу в середньому у 2 рази менший і на 20% менша споживана потужність.



а)



б)

Рисунок 4.12. Часові діаграми моделювання проходження сигналу через контактну площадку та схеми захисту для стандартних КМОН (а) та аналогічних КНІ КМОН-структур (б).

### 4.3. Рекурсивні інтегральні пристрої сортування бінарних даних.

Для цифрової та математичної обробки інформації від інтегральних перетворювачів сигналів необхідні спеціалізовані пристрої для таких перетворень. До таких пристроїв зокрема належать рекурсивні інтегральні пристрої сортування бінарних даних. У цьому розділі розглядаються методи побудови рекурсивних спеціалізованих пристроїв сортування на основі методики просторово-часових графів, які застосовуються до інваріантних до зсуву або незалежних від вхідних даних алгоритмів.

В загальному комп'ютерні системи поділяють на універсальні та спеціалізовані. Значна частина комп'ютерних елементів цих систем використовується для вирішення різноманітних задач цифрової обробки сигналів та зображень, задач автоматизованого керування, задач комп'ютерного моделювання та інших. Використання універсальних одно та багатопроцесорних систем для вирішення вище приведених задач, іноді, часто обмежене по досягненню потрібних технічних параметрів, які дані системи можуть не забезпечити в реальному масштабі

часу а також дається взнаки вартісна ціна даних систем. Використання спеціалізованих комп'ютерних систем передбачає створення нових комп'ютерних елементів, орієнтованих на виконання конкретних алгоритмів чи класу алгоритмів, які будуть виконуватися вже не на існуючих а на створених комп'ютерних засобах. На даний час з використанням потужних САПР для проектування різноманітних пристроїв, цей підхід є серйозною альтернативою першому підходові.

Для дослідження методів та способів побудови рекурсивних пристроїв на основі просторово-часових графів вибрано алгоритм сортування даних методом “бульбашки”. Сортування – це найбільш часто використовувана операція обробки даних, яка використовується в наукових обчисленнях [1]. На рис.4.13 зображено граф алгоритму для сортування  $x_i$  послідовності вхідних чисел.

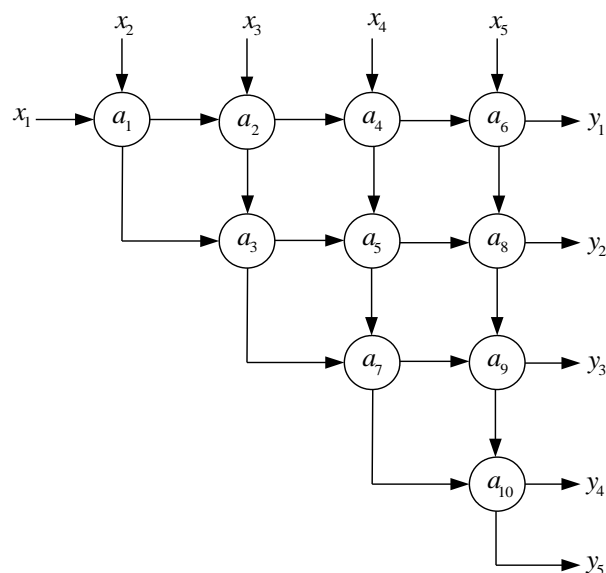


Рисунок 4.13. Граф алгоритму сортування чисел методом “бульбашки”

На виході графу отримується нова послідовність вихідних чисел  $y_i$ , яка складається з вхідних чисел переставлених в потрібному порядку. Обчислювальний граф даного алгоритму складається з десяти вершин за допомогою яких відбувається сортування п'яти вхідних чисел. Кожна з вершин виконує операцію порівняння двох вхідних чисел і на відповідних виходах отримуємо максимальне та мінімальне число.

На рис.2. зображена структурна схема однієї операції порівняння описуваного алгоритму сортування чисел методом “бульбашки”.

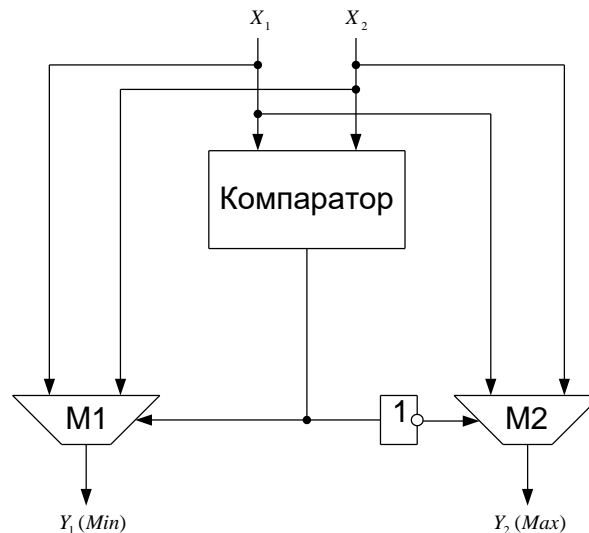


Рисунок 4.14. Структурна схема операції порівняння алгоритму сортування.

Дана структурна схема складається з компаратора на входи якого подаються два числа для порівняння, та двох мультиплексорів, які керуються вихідним сигналом компаратора та одночасно видають на свої виходи максимальне та мінімальне число.

Для побудови рекурсивних пристроїв сортування буде застосовано методику просторово-часового перетворення графів. Для цього необхідно граф обчислювального алгоритму сортування чисел, який подано вище розпаралелити, таким чином, щоб бачити, які операції виконуються паралельно. Виявити паралелізм та знайти компромісні просторово-часові співвідношення дозволяє зображення обчислювального графу алгоритму в ярусно-паралельній формі[29]. В ярусно-паралельній формі обчислювального графу алгоритму усі вершини одного ярусу залежать від результатів вершин попереднього ярусу, і не залежать від вершин наступних ярусів. Ярусно-паралельна форма визначає ступінь паралелізму графу (максимальна кількість вершин на одному ярусі), а також мінімально можливий час обчислення даного алгоритму (кількість ярусів). Зазначимо, що для перетворення обчислювального графу алгоритму сортування чисел в ярусно-паралельну форму будуть використовуватися

інформаційні та перепускні вершини. На рис. 4.15 зображена ярусно-паралельна форма вибраного алгоритму сортування.

ЯПФ даного графу алгоритму розділена на сім ярусів і складається з десяти операційних вершин та трьох перепускних вершин. Операційні вершини виконують операцію порівняння а перепускні вершини з вказаними числовими значеннями тактів затримки затримують дані, які проходять по дузі через відповідний ярус і не беруть участі в обробці на даному ярусі. Слід зауважити, що подача вхідних даних та видача результатів теж повинні затримуватися на графі перепускними вершинами. Для того, щоб побудувати рекурсивний пристрій потрібно здійснити просторово-часове перетворення ЯПФ алгоритму для отримання рекурсивного просторово-часового графу. З цією метою на рис.3. біля кожної операційної вершини зображені числові значення тактів подачі та видачі даних з врахуванням послідовного часового виконання кожної вершини, оскільки рекурсивний просторово-часовий граф буде складатися з однієї вершини [81].

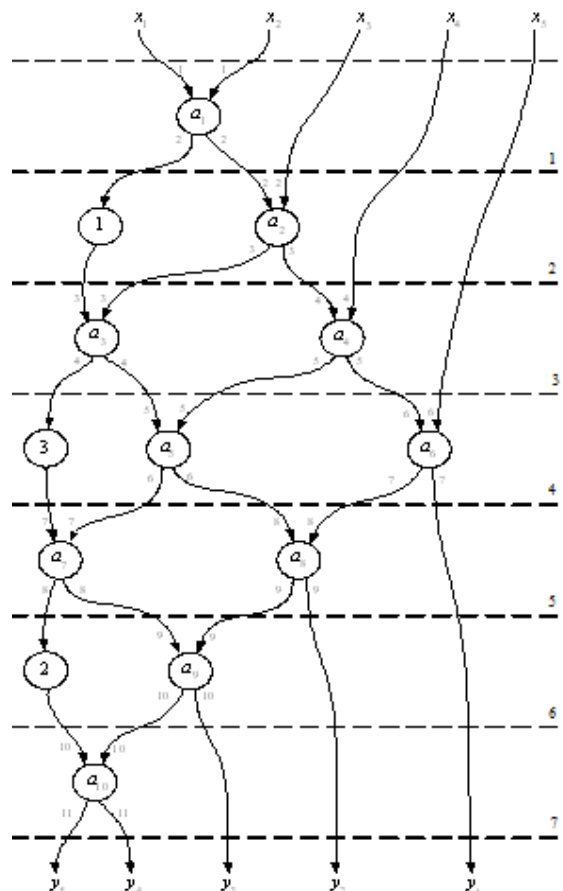


Рисунок 4.15 ЯПФ графу алгоритму сортування чисел

ЯПФ даного графу алгоритму розділена на сім ярусів і складається з десяти операційних вершин та трьох перепускних вершин. Операційні вершини виконують операцію порівняння а перепускні вершини з вказаними числовими значеннями тактів затримки затримують дані, які проходять по дузі через відповідний ярус і не беруть участі в обробці на даному ярусі. Слід зауважити, що подача вхідних даних та видача результатів теж повинні затримуватися на графі перепускними вершинами. Для того, щоб побудувати рекурсивний пристрій потрібно здійснити просторово-часове перетворення ЯПФ алгоритму для отримання рекурсивного просторово-часового графу. З цією метою на рис.3. біля кожної операційної вершини зображені числові значення тактів подачі та видачі даних з врахуванням послідовного часового виконання кожної вершини, оскільки рекурсивний просторово-часовий граф буде складатися з однієї вершини. На рис. 4.16 зображено мінімізований рекурсивний просторово-часовий граф.

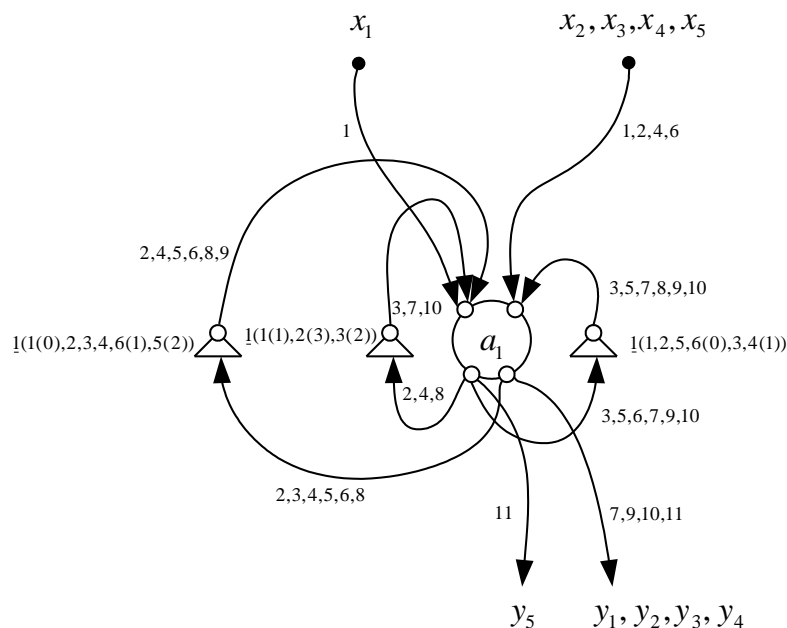


Рисунок 4.16. Мінімізований рекурсивний просторово-часовий граф алгоритму сортування чисел.[81].

Даний граф складається з однієї вершини, яка послідовно в часі виконує кожну операцію вибраного алгоритму. Вершина графу має 2 вхідних та 2 вихідних вузли. Біля дуг, які надходять на вхідні та вихідні вузли записані номери

тактів під час яких подаються необхідні дані, а біля трикутних елементів затримки записано послідовність чисел, які поступають на вершини графу та їхню затримку на потрібну кількість тактів. Зазначимо, що маючи рекурсивний просторово-часовий граф можна переходити до побудови структури рекурсивного пристрою. Виділимо два методи побудови рекурсивних пристроїв. Суть першого методу полягає в побудові рекурсивного пристрою на основі базового рекурсивного просторово-часового графу. Базовий рекурсивний ПЧГ складається з однієї вершини а кількість його дуг відповідає кількості дуг ЯПФ графу поданої вище. На рис.4.17 зображено базову структуру рекурсивного пристрою сортування чисел побудовану на основі базового рекурсивного просторово-часового графу.

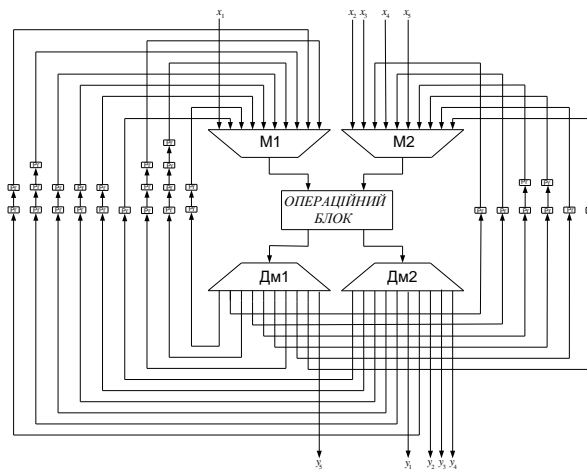


Рисунок 4.17. Базова структура рекурсивного пристрою.

Базова структура рекурсивного пристрою сортування чисел складається з операційного блоку, двох мультиплексорів, які подають дані на обробку, двох демультимплексорів за допомогою яких здійснюється видача проміжних та основних результатів та 29 регістрів, які здійснюють затримку даних на відповідну кількість тактів. Слід зауважити, що вхідним та вихідним вузлам просторово-часового графу на схемі відповідають мультиплексори та демультимплексори. Вершині графу, яка послідовно в часі виконує всі необхідні операції відповідає операційний блок порівняння чисел, а дугам з елементами затримки відповідають зворотні зв'язки з регістрами затримки даних.[81].

Другий метод побудови рекурсивних пристроїв впливає з першого. На рис.4.18 зображено мінімізований рекурсивний просторово-часовий граф в якому

здійснена часова мінімізація дуг. Вихідні дуги, які виходять з одного і того ж самого вихідного вузла і заходять в один і той самий вхідний вузол просторово-часового графу можна об'єднувати в одну дугу, оскільки кожна з цих дуг спрацьовує в різні моменти часу. На рис.4.18 зображено мінімізовану структуру рекурсивного пристрою сортування чисел побудовану на основі мінімізованого рекурсивного просторово-часового графу.

Мінімізована структура рекурсивного пристрою на відміну від базової структури складається з дев'яти регістрів, які затримують проміжні дані та проміжні результати обробки, двох демультиплексорів з меншою кількістю виходів та шести різновходових мультиплексорів, що дає можливість проектувати рекурсивний пристрій з меншою затратою апаратури щодо базового варіанту.

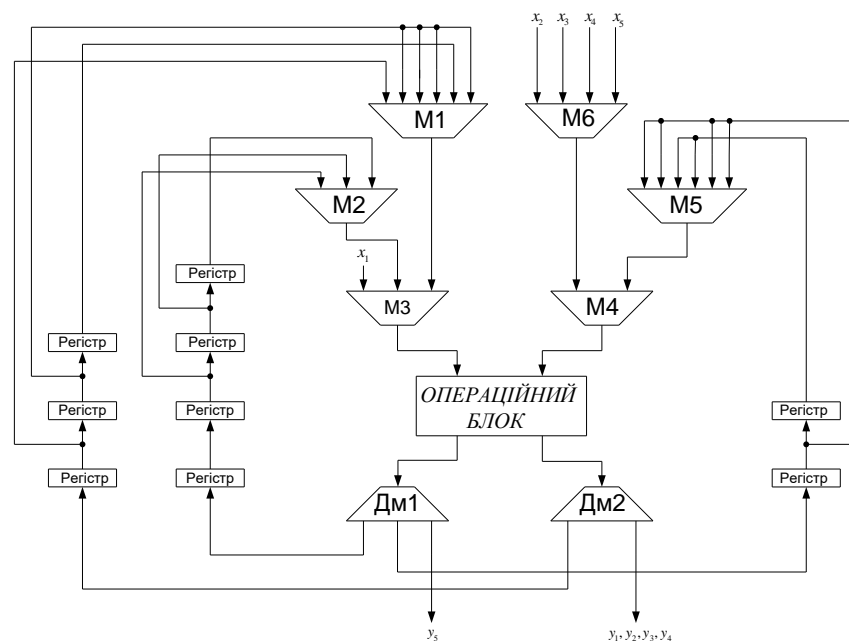


Рисунок 4.18. Мінімізована структура рекурсивного пристрою



#### **4.4. Розробка і моделювання інтегральних пристроїв піднесення чисел до квадрату на блоках ПЛІС.**

Для обробки сигналів від інтегральних претворючів сигналів необхідне широке застосування алгоритмів та методів виконання математичних операцій, до яких належать арифметичні операції, логічні операції та елементарні функції. В обчислювальній техніці їх вдосконалення дозволяє знайти нові рішення, які потребують реалізації та дослідження на сучасній елементній базі із застосуванням програмованих логічних інтегральних схем (ПЛІС). У сенсорних мікросистемах важливою операцією, яка часто застосовується в багатьох алгоритмах обробки сигналів і зображень, стиску і шифруванні даних є операція піднесення двійкового числа до квадрату .

Відомо, що реалізація алгоритмів піднесення чисел до квадрату здійснюється у різних теоретико-числових базисах [x3]. Одним із найвідоміших і широко розповсюджених базисів для реалізації даної операції є двійковий або базис Радемахера. Крім програмних методів реалізації операції піднесення чисел до квадрату в двійковій системі числення, існують апаратні методи, які можна розділити на три групи: аналітичні методи, які реалізуються матричними або багат шаровими комбінаційними схемами однорозрядних суматорів, табличні, які реалізуються на основі постійних запам'ятовуючих пристроїв та таблично-алгоритмічні методи, які крім постійних запам'ятовуючих пристроїв містять суматори, регістри та інші мікроелектронні компоненти .

Висока продуктивність виконання операції піднесення двійкових чисел до квадрату в алгоритмічних і конвеєрних схемах досягається завдяки наближенню їх потокових графів алгоритмів до апаратної структури пристрою з використанням просторового паралелізму. Розроблені алгоритмічні і конвеєрні пристрої піднесення чисел до квадрату мають високі показники швидкодії, проте апаратні затрати, низька апаратна утилізація при одноразовому проходженні потоку даних і займана площа кристалу мікросхеми є доволі значними[81].

Тому у деяких випадках з точки зору апаратних ресурсів (площі кристалу мікросхеми), підвищення утилізації апаратури та некритичних часових параметрів доцільно реалізувати обчислення алгоритму піднесення числа до квадрату за допомогою одного або декількох синтезованих обчислювальних елементів. Що є можливим при застосуванні методології просторово-часових графів, яка дозволяє об'єднувати однотипні операції алгоритму у їх апаратному виконанні. Це дасть можливість оптимізувати структуру двійкового алгоритму піднесення числа до квадрату, який містить велике число однотипних операцій повного і неповного однорозрядного сумування та операцій логічного добутку.

Тому важливою задачею є розробка і дослідження мікроелектронних апаратних структур алгоритмів піднесення чисел до квадрату із застосуванням потокових і просторово-часових графів, та їх моделювання і синтез на ПЛІС для реалізації ефективної структури з оптимальним співвідношенням апаратних і часових затрат. При цьому ПЛІС можуть мати як дискретне виконання або бути вбудованим блоком безпосередньо у мікросистемі-на-кристалі.

Відомий аналітичний метод піднесення двійкового числа до квадрату [x1].

Суть даного методу полягає в записі двійкового числа згідно формули:

$$A_1 = a_{n-1}2^{n-1} + a_{n-2}2^{n-2} + \dots + a_i2^i + \dots + a_02^0 \quad (1)$$

де,  $a_i \in \{0;1\}$ ;  $i = \overline{0; n-1}$ ;  $2^i$  - вага розряду. Подамо число  $A_1$  сумою двох частин

$$A_1 = a_{n-1}2^{n-1} + A_2, \text{ де } A_2 = a_{n-2}2^{n-2} + \dots + a_02^0.$$

Після піднесення суми до квадрату отримаємо  $A_1^2 = a_{n-1}^2 2^{(n-1)2} + 2a_{n-1}2^{n-1}A_2 + A_2^2$ .

Дальше піднесемо до квадрату число  $A_2$  і в результаті отримаємо

$$A_2^2 = a_{n-2}^2 2^{2(n-1)} + 2a_{n-2}2^{n-2}A_3 + A_3^2, \text{ де } A_3 = a_{n-3}2^{n-3} + \dots + a_02^0.$$

Далі піднесемо до квадрату число  $A_3$  і так далі. Вкінці, отримаємо значення,

$$A_{n-1}^2 = a_{n-(n-1)}^2 2^{2[n-(n-1)]} + 2a_{n-(n-1)}2^{n-(n-1)}A_n + A_n^2, \text{ при-чому } A_n = a_0.$$

Так, як  $a_i$  може приймати значення тільки 0 або 1, то  $a_i^2 = a_i$ .

Запишемо загальний вираз для  $A_i^2$  з врахуванням розкладу  $A_2^2, A_3^2, \dots, A_n^2$ , згрупувавши в першій частині доданки, які не містять  $A_2, A_3, \dots, A_n$ :

$$A_1^2 = [a_{n-1} 2^{2(n-1)} + a_{n-2} 2^{2(n-2)} + \dots + a_0] + [a_{n-1} 2^n A_2 + a_{n-2} 2^{n-1} A_3 + \dots + a_1 2^2 A_n] \quad (2)$$

Перший доданок формули (2) є вихідним числом виразу (1), у якого вага кожного розряду збільшена в  $2^i$  рази. Другу частину подамо в розгорнутому виді, замінивши  $A_2, A_3, \dots, A_n$  їх значеннями, отримаємо матрицю доданків, яка для 4-х розрядного числа.

На рис. 4.19 зображено алгоритмічну структуру пристрою піднесення 4-х розрядного числа до квадрату, який побудований згідно алгоритму поданого в таблиці 1[x2].

Квадратор містить логічні елементи “Г” для реалізації часткових добутків виду  $(a_i a_j)$  та повні (full adder) і неповні суматори (half adder) для сумування результатів логічного множення і вихідних проміжних переносів.

Квадратор складається з  $n^2$  операцій логічного добутку та  $(n^2 - n)$ - операцій однорозрядного двійкового сумування. Для повного двійкового сумування

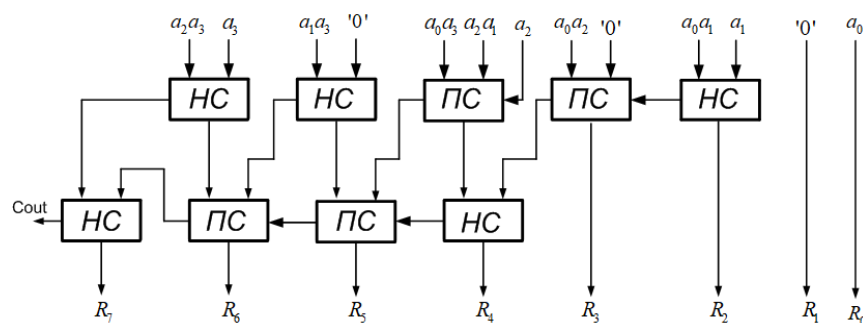


Рисунок 4.19. Алгоритмічна структура пристрою піднесення 4-розрядного числа до квадрату.

потрібно  $(n^2 - 2n)$  операцій, а для не повного сумування  $n$  операцій, де  $n$  - розрядність вхідного числа яке потрібно піднести до квадрату.

Вхідне число квадратора є 4-бітне  $(a_0, \dots, a_3)$  а вихідний результат 8-ми бітний  $(R_0, \dots, R_7)$ .

На рис.4.20 подано внутрішні структури однорозрядних суматорів побудованих на елементах “Виключаюче АБО” [x3].

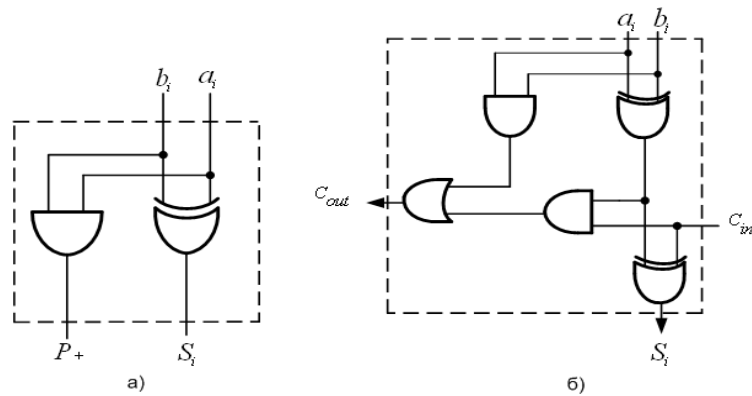


Рисунок 4.20. Внутрішня структура однорозрядних суматорів на елементах “Виключаюче АБО”: а) неповного б) повного суматорів.

Апаратна складність неповного однорозрядного суматора буде складати  $A_{HA} = 5$  (вентилів).

Часова складність неповного однорозрядного суматора для суми буде складати  $\tau_{HA_S} = 3$  (мікротакти) а для вихідного переносу  $\tau_{HA_P} = 1$  (мікротакт).

На рис. 4.21(а) зображена мікроелектронна реалізація неповного двійкового однорозрядного суматора згідно схеми на рис.4.21.(б) та часова діаграма його функціонування.

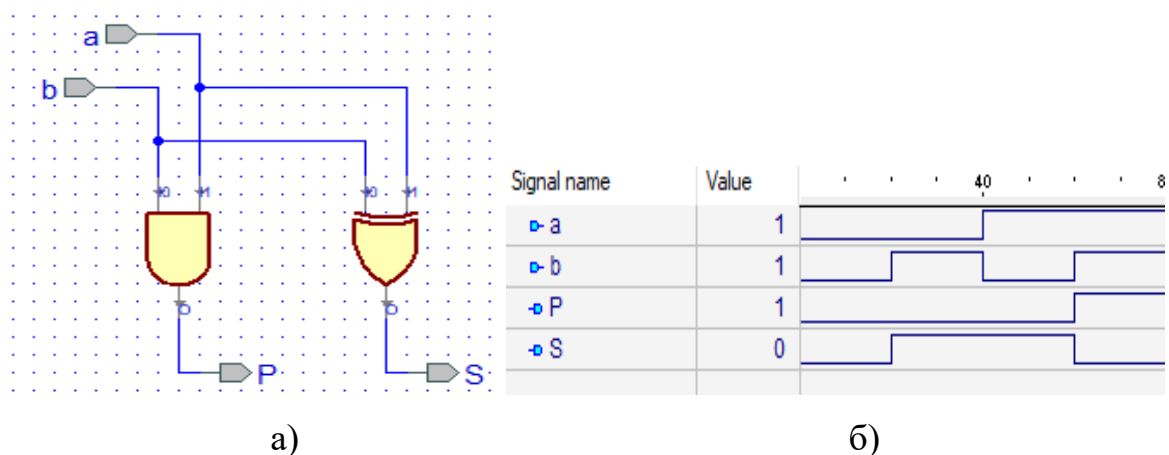


Рисунок 4.21. Мікроелектронна реалізація та результати моделювання неповного однорозрядного суматора: а) логічна схема, б) часова діаграма функціонування.

Як бачимо на часовій діаграмі вхідні числа  $a$  і  $b$  приймають 4 різні двійкові набори на виходах формується перенос ( $P$ ) і сума ( $S$ ).

Апаратна складність повного однорозрядного суматора буде складати  $A_{FA} = 11$  (вентилів).

Часова складність повного однорозрядного суматора для суми буде складати  $\tau_{FA_S} = 6$  (мікротактів) а для вихідного переносу  $\tau_{FA_P} = 5$  (мікротактів).

На рис. 4.22 зображена мікроелектронна реалізація повного двійкового однорозрядного суматора згідно схеми на рис. 221(a) [85].

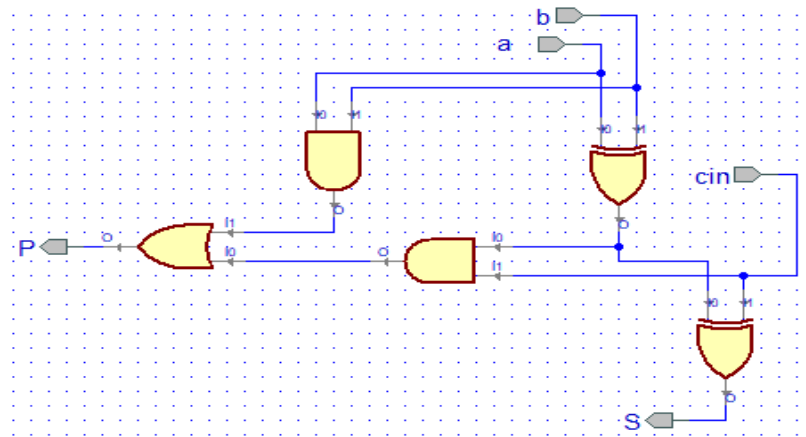


Рисунок 4. 22. Мікроелектронна реалізація повного однорозрядного суматора.

На рис. 4.23 подано часову діаграму функціонування повного однорозрядного двійкового суматора.

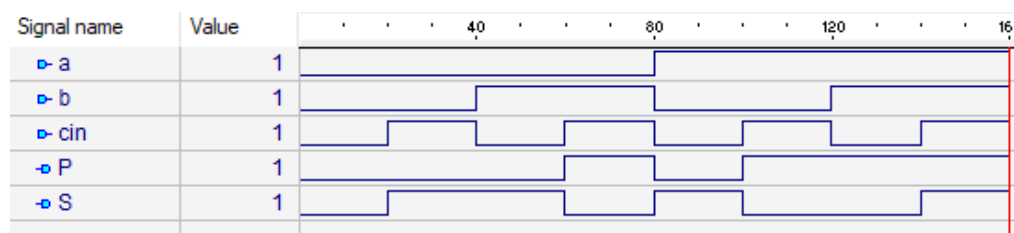


Рисунок 4.23. Функціональна діаграма роботи повного однорозрядного суматора.

Як бачимо на функціональній діаграмі вхідні лінії  $a$ ,  $b$  та вхідний сигнал переносу  $Cin$ , приймають 8 різних двійкових наборів і на виходах формується перенос ( $P$ ) і сума ( $S$ ).

Апаратна складність двійкового квадратора, для  $n=8$ , буде складати:

$$A_{MB} = A_{LE} \times n^2 + A_{FA} \times (n^2 - 2n) + A_{HA} \times n =$$

$$= 64 + 11 \times 48 + 5 \times 8 = 632(\text{gates})$$

Часова складність двійкового квадратора, для  $n=8$ , буде складати:

$$\tau_{MB} = \tau_{FA\_S} \times (2n - 3) + \tau_{HA\_S} \times 1 =$$

$$= 6 \times 13 + 3 \times 1 = 81(\text{micro-cycles})$$

В роботах [6,7] запропоновано вдосконалені структури однорозрядних повних і неповних суматорів на елементах 2І-НЕ.

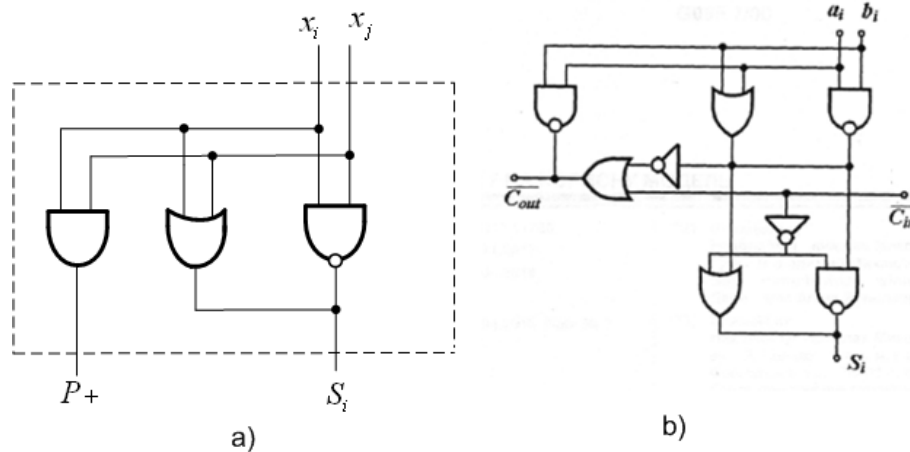


Рисунок 4.24. Внутрішня структура вдосконалених однорозрядних суматорів:  
а) неповного б) повного.

Апаратна складність неповного вдосконаленого однорозрядного суматора буде складати  $A_{+HA} = 3$  (вентилі).

Часова складність неповного вдосконаленого однорозрядного суматора для суми і для вихідного переносу буде складати  $\tau_{+HA\_P} = \tau_{+HA\_S} = 1$  (мікротакт).

Апаратна складність повного однорозрядного суматора буде складати  $A_{+FA} = 8$  (вентилів).

Часова складність повного однорозрядного суматора для суми буде складати  $\tau_{+FA\_S} = 2$  (мікротакти) а для вихідного переносу  $\tau_{+FA\_P} = 3$  (мікротакти).

Апаратна складність двійкового квадратора з врахуванням вдосконалених структур суматорів для  $n=8$ , буде складати:

$$A_{+MB} = A_{LE} \times n^2 + A_{+FA} \times (n^2 - 2n) + A_{+HA} \times n =$$

$$= 64 + 8 \times 48 + 3 \times 8 = 472(\text{gates})$$

Часова складність двійкового квадратора з врахуванням вдосконалених структур суматорів для  $n=8$ , буде складати:

$$\tau_{+MB} = \tau_{+FA\_S} \times (2n - 3) + \tau_{+HA\_S} \times 1 =$$

$$= 2 \times 13 + 1 \times 1 = 27(\text{micro-cycles})$$

При аналізі системних характеристик, двійковий квадратор побудований на основі вдосконалених однорозрядних суматорів має меншу апаратну складність у 1,3 рази і більшу швидкодію у 3 рази у порівнянні з класичними суматорами. Пропускна здатність алгоритмічного двійкового квадратора складає 27 мікротактів.

На рис. 4.25 показано 4-розрядну конвеєрну структуру двійкового квадратора.

Конвеєрна структура двійкового квадратора містить конвеєрні тригери, які розділяють незалежні суматори двійкового квадратора, які розміщуються у вигляді сходинок на різних ярусах.

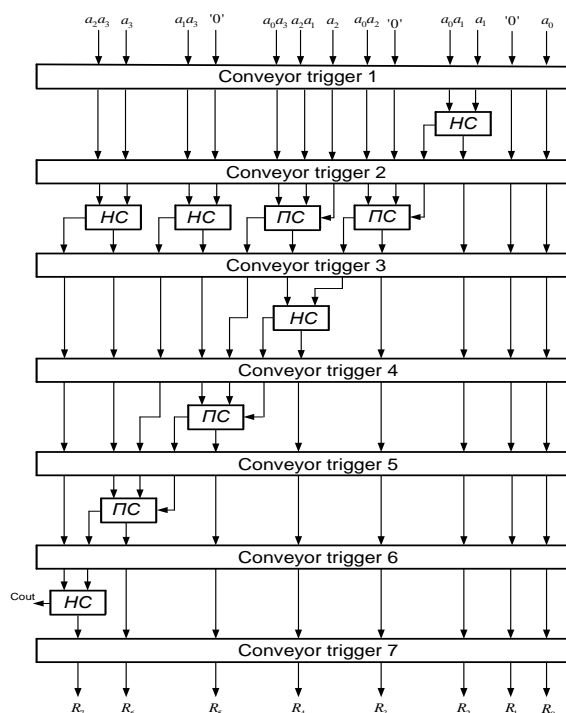


Рисунок 4.25. Конвеєрна структура 4-розрядного квадратора.

Апаратна складність 4-розрядного конвеєрного квадратора буде складати:

$$\begin{aligned} A_{CMB} &= A_{LE} \times n^2 + A_{FA} \times (n^2 - 2n) + A_{Trig} \times m = \\ &= 64 + 11 \times 48 + 5 \times 8 + 2 \times 180 = 992(\text{gates}) \end{aligned}$$

де  $m$  - кількість конвеєрних тригерів, які затримують проміжні результати.

Часова складність 4-розрядного конвеєрного квадратора буде складати:

$$\begin{aligned} \tau_{CMB} &= \tau_{FA\_S} \times (2n - 3) + \tau_{FA\_S} \times 1 + k_{TPF} \times \tau_{Trig} = \\ &= 6 \times 13 + 3 \times 1 + 13 \times 2 = 107(\text{micro-cycles}) \end{aligned}$$

де  $\tau_{Trig}$  - часова складність конвеєрних тригерів.

У порівнянні з алгоритмічною структурою конвеєрний квадратор має в 1,6 рази більшу апаратну складність і в 1,3 рази більшу часову складність. Пропускна здатність конвеєрного квадратора складає 5 мікротактів.

#### **4.5. Архітектури та топології сенсорної мікросистеми-на-кристалі.**

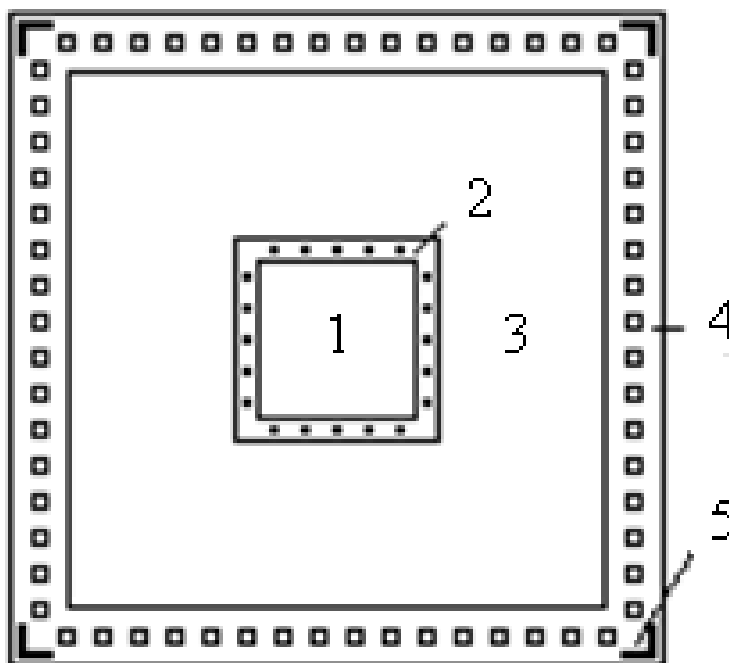
Для аналізу характеристик нових інтегральних елементів та інших об'єктів з мікро- і нанометровими розмірами, в тому числі з некремнієвими технологіями, що можуть бути інтегровані в кремнієву, зокрема в технологію на основі структур КНІ, а також для опрацювання первинної інформації про фізичні величини для сенсорної електроніки, як інструментарій, можуть бути використані сенсорні мікросистеми-на-кристалі. Перевагою такого аналізу є мінімізація паразитного впливу зондових елементів та провідників. Архітектура сенсорної МНК передбачає наявність технологічної області для інтеграції на ній досліджуваних об'єктів, досліджуваних елементів ІПС безпосередньо на кристалі в складі МНК, схем перетворення інформації від них та інтерфейсних зв'язків із зовнішніми вимірювальними або комп'ютеризованими пристроями.

Розроблена структура та топологія такого типу сенсорної мікросистеми на кристалі зображена на рис. 4.26. [118].

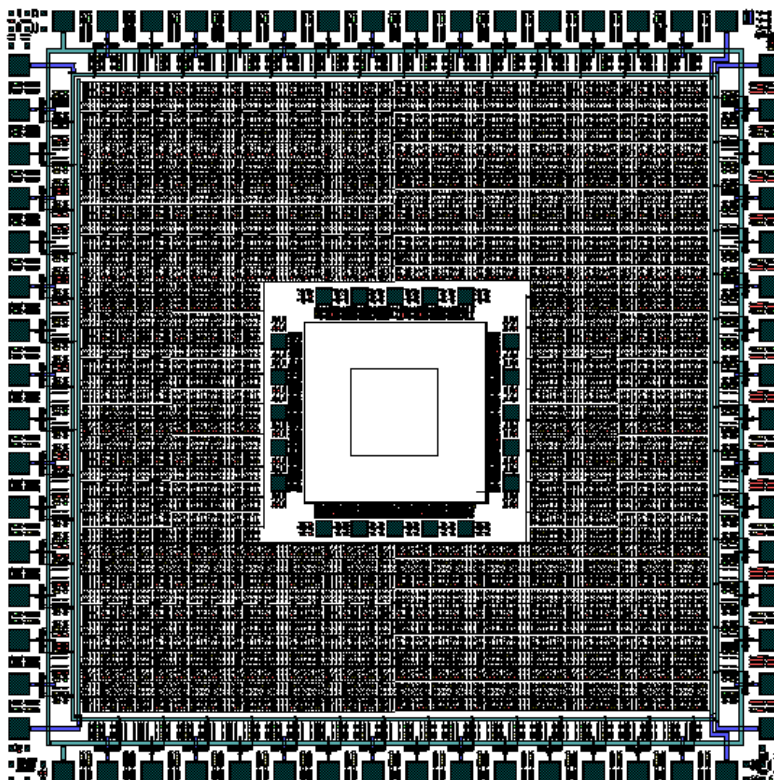
В центральній частині розробленої мікросистеми міститься технологічна область для розміщення елементів ІПС, із зовнішніми, розміщеними по її периферії, матричними комірками активних та пасивних елементів, на основі яких використовуючи програмовані шари із 2-ох металізацій і 2-ох шарів



контактів, можна реалізувати потрібні схеми зв'язку. Також в цьому блоці розміщені контакти для зондового контролю і спеціальні тести для контролю технології виготовлення самого кристалу.



a)



б)

Рис. 4.26. Структура розміщення елементів (а), та загальний вигляд топології сенсорної мікросистеми-на-кристалі для дослідження ІПС безпосередньо в складі мікросистеми (б): 1 – технологічна область для елементів ІПС; 2 – активні/пасивні елементи зв'язку та контакти для зондового контролю; 3 – поле матриці транзисторів для реалізації аналогових та цифрових схем первинної обробки інформації; 4 – вхідні/вихідні каскади та контактні площадки; 5 – тестові елементи та знаки суміщення.

Наступним блоком є поле матриці КНІ КМОН-транзисторів, що побудоване по аналогії з БМК для реалізації аналогових і цифрових схем первинного опрацювання інформації від досліджуваних об'єктів. По периметру кристалу розміщено спеціальні матричні комірки для реалізації буферних схем зв'язку із зовнішніми вимірювальними або комп'ютеризованими пристроями, зовнішні контактні площадки, тестові елементи та знаки суміщення. [69]

На рис. 4.27 зображено також фрагменти топології матричної частини, що спроектована на основі розробленої оптимізованої комірки [119], вхідні/вихідні каскади та контактні площадки.

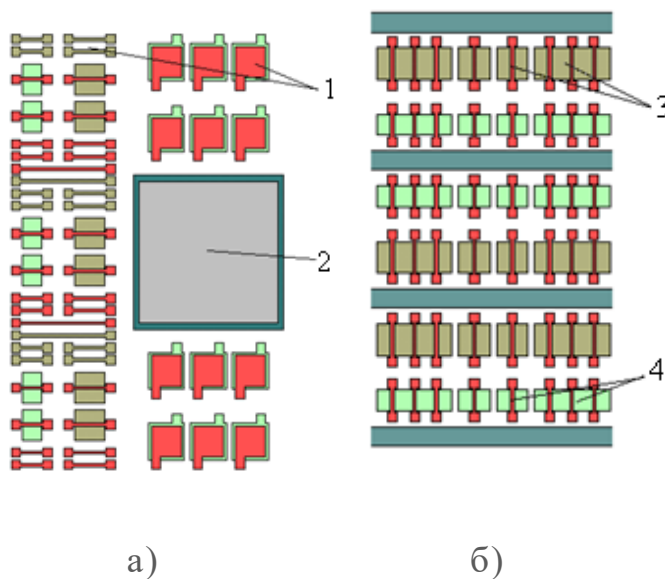


Рис. 4.27. Фрагменти топологій мікросистеми-на-кристалі: а – активні та пасивні елементи зв'язку (1) внутрішня контактна площадка

(2); б – фрагменти топології матричної частини: р-канальні (3) та п-канальні (4) КНІ-транзистори.

Технологічна область призначена для розміщення на ній чутливих елементів, окремих елементів ІПС та самих ІПС для дослідження їх характеристик безпосередньо в складі сенсорної мікросистеми-на-кристалі. Також передбачено виводи з полікремнію для спрощення підключення досліджуваних елементів, а також для зменшення впливів паразитних ефектів, наприклад, ємності між шаром металізації та КНІ-плівкою.[119]. Залежно від мети використань, технологічну область можна формувати як спеціалізовану. Наприклад, для дослідження некремнієвих елементів, вона являє собою плівку оксиду кремнію, під поверхнею можна створювати тривимірні елементи, конструктивно суміщені з герметизованими та негерметизованими мікропорожнинами. Іншими варіантами застосування можуть бути: гібридна інтеграція сенсорного елемента мембранного типу, в якому технологічна область є складовою частиною сенсорного елемента ; інтеграція досліджуваних ІС та МЕМС елементів методом перевернутого кристалу. Топологія технологічної області та можливі варіанти її використань показано на рис. 4.28.

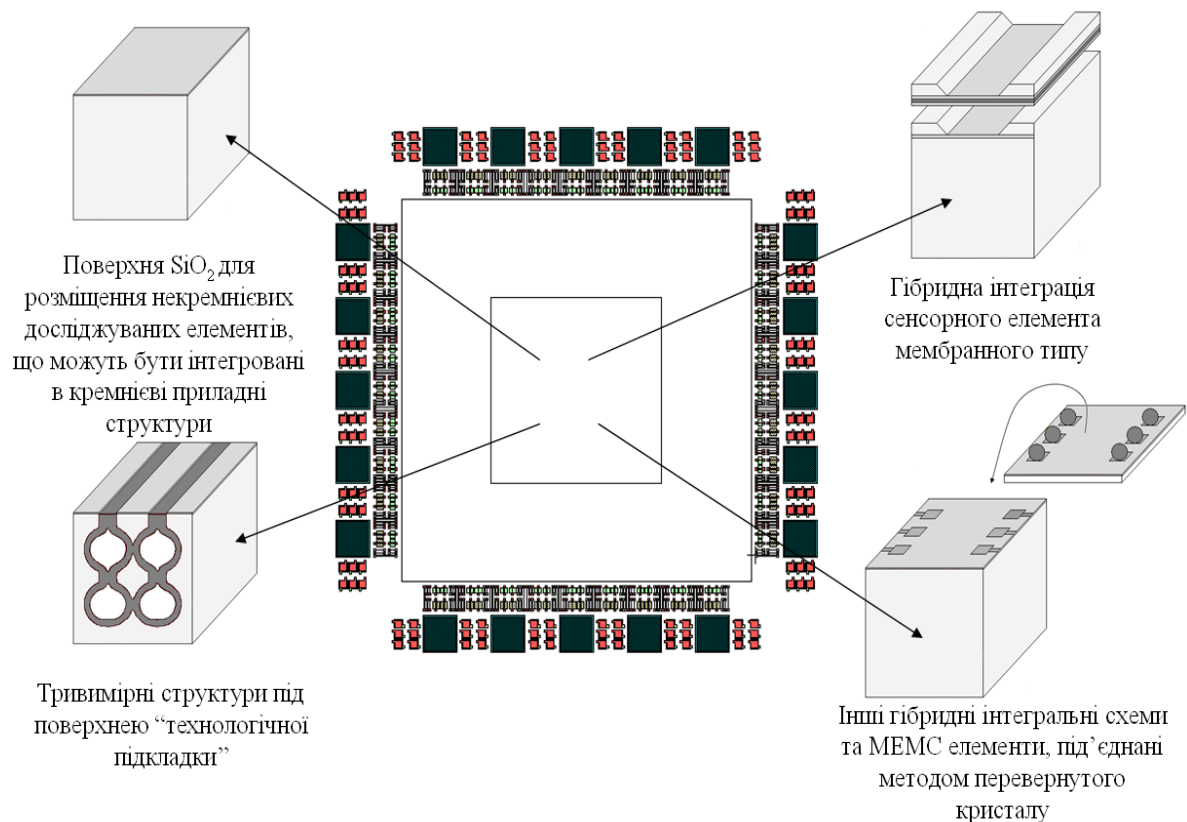


Рис. 4.28. Топологія технологічної області та можливі варіанти її використань.

Важливим є те, що дослідження можуть бути проведені безпосередньо за допомогою мікросистеми, що дозволяє отримати більш достовірні результати, оскільки усуваються паразитні ефекти, властиві аналітичним макросистемам, такі як опір провідників, їх індуктивності, ємності та ін [122].

#### **4.6. Перспективи використання сенсорної мікросистеми-на-кристалі для створення спеціалізованих сенсорних пристроїв.**

Важливими первинними чутливими елементами, наприклад для неінвазивних пристроїв контролю рівня глюкози в крові людини є фотодіоди і фотоприймачі, які функціонують на довжині хвилі  $\lambda=940$  нм [10]. Для зменшення похибки такого виду приладів і підвищення їх чутливості в даній роботі запропоновано використання елементів АМнК зі структурами КНІ, а саме як підсилювачі – послідовно з'єднані інвертори на КМОН КНІ-транзисторах в комбінації з розробленими операційними підсилювачами. Проведено моделювання електричних та часових характеристик розробленої схеми. Сигнал, отриманий від оптичних сенсорів – випромінюючого світлодіода та чутливого фотоелемента є імпульсним, тому важливим є також зменшення тривалості фронтів імпульсів, перед подачею їх на аналоговий вхід мікроконтролера.

Для проектування систем неінвазивного контролю рівня глюкози в крові було розроблено відкриту програмовану апаратну платформу на основі мікроконтролера АТМega328р, а реалізацію схем первинного опрацювання сигналів від сенсорів – на основі елементів АМнК (рис. 4.29, а). Така платформа може бути використана для роботи з різними фізичними об'єктами. Окрім цього, таку платформу було використано для проектування джерела широтно-імпульсного модульованого (ШІМ) сигналу (рис 4.29, б), що є складовою частиною для систем неінвазивного контролю рівня глюкози в крові.[44].

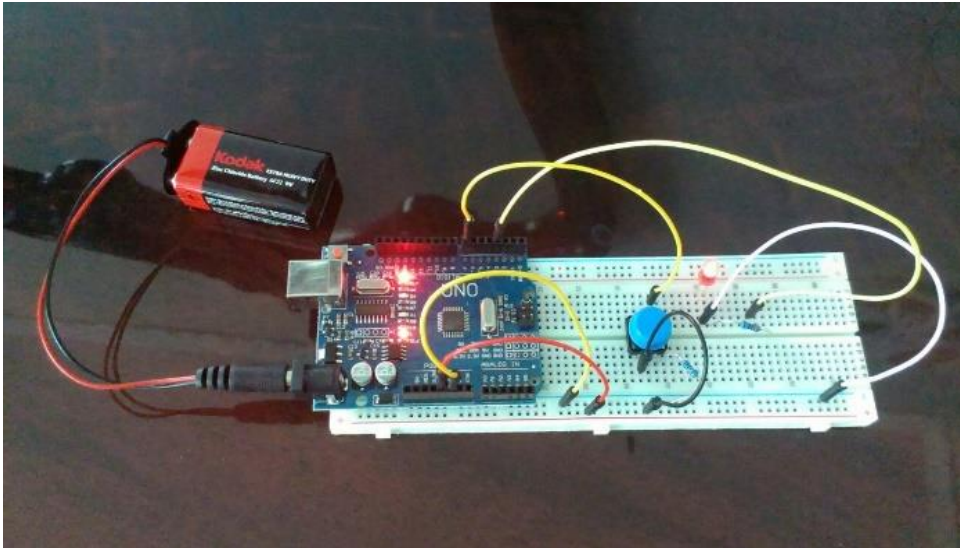
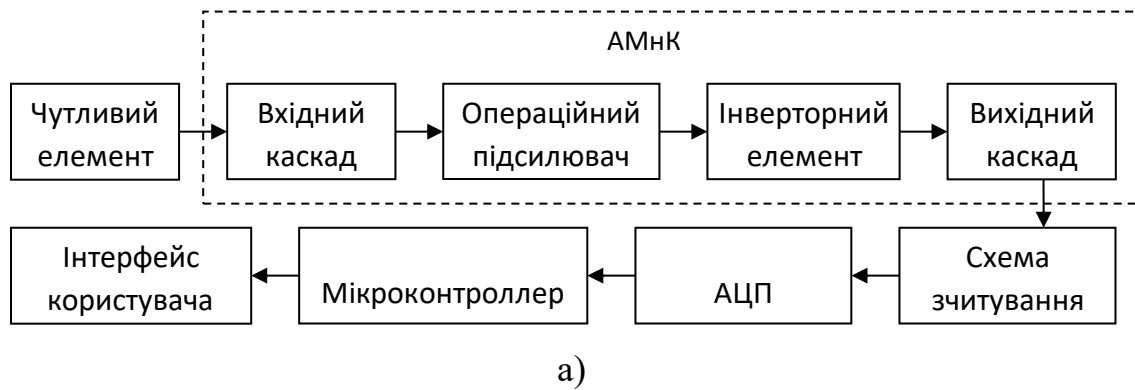


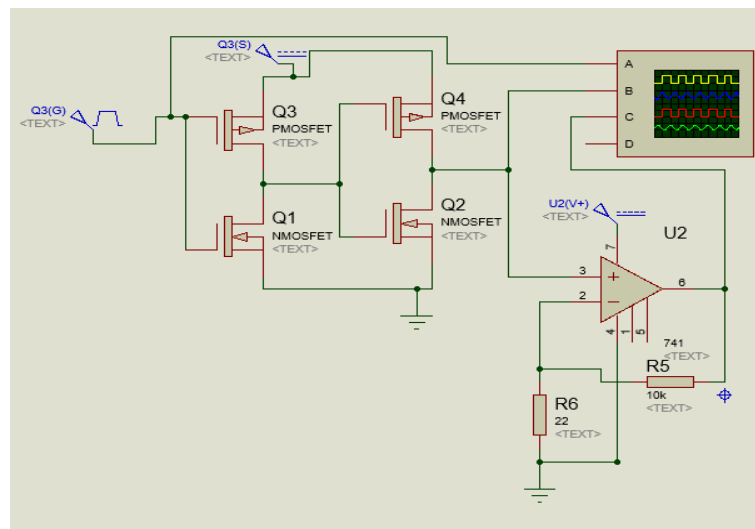
Рис. 4.29. Функціональна схема опрацювання інформації з використанням АМНК та практична реалізація джерела ШІМ сигналу на Arduino UNO (б)

Висока точність є основним критерієм для роботи пристроїв вимірювання рівня глюкози в крові, особливо, при використанні неінвазивних методів. Неінвазивний метод вимірювання рівня глюкози в крові реалізується з використанням оптичних сенсорів з довжиною хвилі  $\lambda=940$  нм. Для підвищення чутливості від оптичних сенсорів приладів неінвазивного вимірювання рівня глюкози в крові запропоновано використання каскадів інверторів на КМОН КНІ-транзисторах.

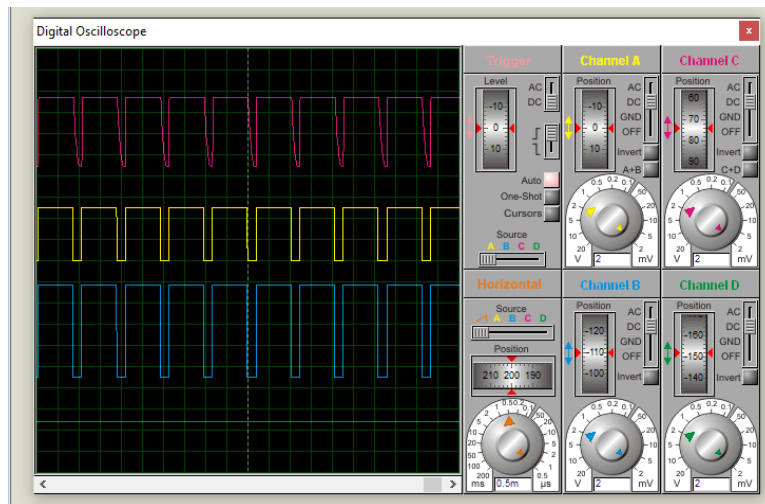
Підсилювачі сигналів на основі інверторних каскадів з КМОН КНІ-транзисторів мають високий вхідний опір, забезпечують високу крутизну фронтів, мають незначну затримку вихідного сигналу відносно вхідного, що в цілому забезпечує високий відгук оптичних сенсорів на зміни у вхідному

сигналі, і відповідно, підвищення чутливості системи в цілому. Послідовне з'єднання інверторів на КМОН КНІ-транзисторах дозволяє також підвищити навантажувальну здатність. Досліджувана електрична схема на дискретних компонентах зображена на рис. 4.30, а. Результати моделювання елемента підвищення чутливості оптичних сенсорів неінвазивних приладів вимірювання рівня глюкози в крові зображено на рис. 4.30, б.

Проведено експериментальні роботи з реалізації тракту обробки і проходження сигналу на основі АМнК, що реалізована на основі матричних комірок за принципом побудови АМнК на основі КМОН КНІ-транзисторів зі структурами КНІ. Інтегральне виконання забезпечить високі чутливість, енергетичні показники та інші параметри. Запропонована схема на основі послідовно з'єднаних КМОН КНІ-інверторів, перетворювача рівнів сигналів тригерного типу, операційних підсилювачів дозволяє суттєво підвищити чутливість опрацювання сигналів, отриманих від оптичних сенсорів, що є критично важливим, при вимірюванні рівня глюкози в крові.[73].



а)



б)

Рис. 4.30. Моделювання елемента підвищення чутливості оптичних сенсорів неінвазивних приладів вимірювання рівня глюкози в крові на основі елементів АМнК.

Розроблена і промодельована схема на дискретних елементах показує також можливість її реалізації в повному інтегральному виконанні, зокрема на основі АМнК зі структурами КНІ.

## ВИСНОВКИ

1. Розглянуті особливості КНІ КМОН - структур можна вважати перспективною альтернативою стандартним КМОН-структурам на об'ємному кремнії для створення елементів ІПС, показано переваги і недоліки КНІ-пристроїв, особливості проектування частково - і повністю збіднених КНІ МОН-транзисторів. Показано, що їх площа на кристалі є суттєво меншою порівняно із стандартними на монокремнії, суттєво вища швидкодія, радіаційна стійкість, менша споживана потужність, ширший температурний інтервал. Основним їх недоліком є «кінк»-ефект, для усунення якого використовують спеціальні схематопологічні рішення шляхом підключення підканальної області до витoku транзистора або земляної шини для n-канальних КНІ МОН-транзисторів. Для p-канальних МОН- транзисторів вплив цього ефекту є несуттєвим і не вимагає спеціального управління з його усунення. Результати динамічного моделювання показують, що для створення цифрових логічних елементів ІПС як ключовий транзистор доцільно використовувати n-канальні КНІ МОН- транзистори, оскільки вони володіють чітко визначеними перемикальними характеристиками і високою швидкістю, а, p-канальні КНІ МОН- транзистори доцільніше використовувати як навантажувальні у комплементарних парах.



2. Запропоновано топологію і базові технологічні операції формування КМОН-матричних комірок для побудови елементів ІПС з можливостями керування кінк – ефектом та інтеграції в КНІ МОН-транзисторі окремого керування підканальною областю транзистора, що дозволить поєднувати в одному комбінованому транзисторі два – КНІ МОН та паралельно підключений до нього біполярний.

3. Запропоновано метод зменшення динамічної потужності базової схеми КМОН – інвертора шляхом введення у вихідне коло інвертора двох додаткових послідовно-з'єднаних  $p$ - і  $n$ -канальних МОН-транзисторів, з окремим керуванням у моменти наростання і спадання фронтів вхідних логічних сигналів, що дозволяє зменшити динамічну потужність до 78% порівняно із базовою схемою інвертора. Це буде вигідним для побудови цифрових елементів ІПС, особливо, потужних, напр., для зовнішнього інтерфейсу вихідних каскадів мікросистем-на-ізоляторі.

4. Спроектовано топології базового елемента ОП для ІПС на стандартних та КНІ КМОН структурах, а також на основі базової матричної комірки. Проведено їх схемотопологічне моделювання безпосередньо із топологій. Такі елементи можуть бути основою для побудови ІПС в мікросистемах-на-кристалі. Показано, що вихідні сигнали для схеми ІПС зі структурами КНІ порівняно зі стандартними КМОН мають кращу, в середньому на 30% крутизну фронтів та більший на 20% коефіцієнт підсилення по амплітуді. Топології ІПС зі структурами КНІ є суттєво оптимальніші порівняно зі стандартними КМОН структурами за площею на кристалі.

5. Запропоновано і досліджено ІПС інвертора на основі складного КМОН-інвертора з подвійним керуванням пороговою напругою як зі сторони затвору так і підкладки, який перетворює опір чутливого елемента у рівень вихідного імпульсного сигналу. Запропоновано три варіанти підключення чутливого резистивного елемента до підканальних областей МОН-транзисторів. Наведено залежності вихідної напруги ІПС від опору чутливого елемента, чутливості ІПС, форми вихідних імпульсів. При керуванні підканальною областю  $p$ -МОН-

і *n*-МООН-транзисторів амплітуда вихідних імпульсів ІПС, для низького рівня вхідного сигналу, збільшується від 0 до 5 В, для високого рівня вхідного сигналу, зменшується від 5 до 0 В при збільшенні опору чутливого резистивного елемента від 0,025 до 20 кОм. Чутливість сенсорного елемента є найбільшою в діапазоні 0,05÷5 кОм і має максимальне значення 2,2 В/кОм.

6. Проведено схематопологічне моделювання ІПРС і показано що такі перетворювачі зі структурами КНІ порівняно зі стандартними КМООН-структурами мають покращені температурні та часові характеристики та є придатними для проектування ІПС, інтелектуальних сенсорів та сенсорних мікросистем-на-кристалі.

7. Розроблено структуру та спроектовано топологію сенсорної мікросистеми-на-кристалі зі структурами КНІ в центральній частині якої міститься технологічна область, призначена для розміщення на ній чутливих елементів, складових елементів ІПС та самих ІПС для дослідження їх характеристик і запропоновано можливі варіанти її використання. Проведення досліджень безпосередньо за допомогою мікросистеми дозволить отримати більш достовірні результати, характерні для інтегрального виконання вказаних елементів, оскільки усуваються різноманітні паразитні ефекти, характерні для макросистем, напр., опір провідників, їх індуктивності, ємності та ін.

8. Розроблено схемотехнічні рішення для ІПС, що дозволяють оцінювати надмалі ємнісні та резистивні елементи, і можуть використовуватися для зовнішніх сенсорних елементів, так і вбудовуватися безпосередньо в мікросистему-на-кристалі, наведено результати їх комп'ютерного моделювання.

9. Запропоновано принципову схему для дослідження та оцінки потужностей СЄЕ, розглянуто різні варіанти підключення СЄЕ до вхідного каскаду вимірювальної схеми, проведено їх комп'ютерне моделювання у вигляді графіків залежностей періоду вихідного сигналу в залежності від ємності вимірюваного СЄ та топологічних розмірів КМООН-транзисторів вимірювального кола. Результати моделювання показують, що схеми з'єднання

ССЕ на р-МОН та n-МОН транзисторах із заземленим джерелом є взаємодоповнюючими. Завдяки каскадному об'єднанню схем вимірювання з різними довжинами каналів МОН-транзисторів можна розширити діапазон вимірювання ємності ССЕ. Інтегральні структури ССЕ можуть мати різну конструкцію, а саме: елемент конденсатора у вигляді розширеного затвора вхідних транзисторів М1, М2; на основі тонких плівок, зокрема, полі кремній-на-ізоляторі, монокристалічний кремній, монокристалічний кремній зі структурами КНІ, метал-діелектрик-кремній; КМОН або КНІ КМОН транзисторні структури, в яких елементи конденсатора сформовані між різними електродами: затвор-витік, затвор-стік, затвор-закорочений витік і стік, затвор-канал. У MSoC СПЕ на основі таких плівок можуть бути сформовані, зокрема, на поверхні спеціальної ділянки технологічної зони, покритої оксидом кремнію, або інтегровані на поверхню мембрани, або виконані у вигляді рухомих балок.

10. Спроектовано аналогічні між собою топології вхідних каскадів аналітичної мікросистеми-на-кристалі як на основі об'ємних КМОН-структур, так і на основі КНІ КМОН-структур. Проведено їх схематопологічне моделювання. Показано, що вихідні каскади на КНІ-структурах мають меншу затримку вихідного сигналу відносно вхідного (4 пс та 7 пс відповідно) та меншу споживану потужність (6,89 мВт та 8,88 мВт відповідно) порівняно з об'ємною КМОН-технологією.

11. В результаті використання просторово – часової методики в роботі побудовано структури базового та мінімізованого рекурсивних пристроїв та зроблена порівняльна оцінка швидкодії та апаратних затрат за допомогою синтезу даних пристроїв на ПЛІС. Отримані результати синтезу моделей базового та мінімізованого рекурсивних пристроїв, які дають змогу зробити висновки, що дані пристрої мають майже однакову швидкодію, а по затратам обладнання кращі результати дають мінімізовані рекурсивні пристрої сортування.

### СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Colinge J. P. Silicon-On-Insulator Technology: Materials to VLSI // J. P. Colinge // Kluwer Academic Publishers. – 1997.
2. Igor Kogut., Victor Holota., Taras Benko., Anatoliy Druzhinin., Volodymyr Pavlysh., Yuriy Khoverko. Simulation of Sensor Capacitive Elements Built Into the Microsystem-On-Chip // 2020 IEEE 40th International Conference on Electronics and Nanotechnology (ELNANO) – 2020.– P. 211-215.
3. Druzhinin,A., Ostrovskii,I., Khoverko, Y., ...Kogut, I., Benko, T. Frequency response in polycrystalline silicon films of SemOI-structures. Proceedings - 15th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering, TCSET 2020, 2020, pp. 551–554, 9088678.
4. Igor Kogut., Victor Holota., Taras Benko., Anatoliy Druzhinin., Yuriy Khoverko. Simulation an integrated sensor as an element of CMOS inverter // Experience of Designing and Application of CAD Systems in Microelectronics, 2021, P. 15–18.
5. Igor Kogut., Victor Holota., Taras Benko., Anatoliy Druzhinin., Yuriy Khoverko. Magnetoconductance of Polycrystalline Silicon in SemOI-structures for

Sensors Application // International Conference on Perspective Technologies and Methods in MEMS Design, 2021, P. 98–101.

6. Druzhinin, A., Kogut, I., Holota, V., Khoverko, Y., Benko, T. The method of reducing the CMOS inverter switching energy. Applied Nanoscience (Switzerland)This link is disabled., 2023, 13(12), pp. 7501–7511.

7. Maszara W. P. SOI materia:Ready to take over Mainstream Bulk Si / W. P. Maszara // Proc. 5th International Conference on Solid-State and Integrated Circuit Technology. – 1998. – P. 716-719.

8. Bernstein K. SOI circuit design / K. Bernstein, N. J. Rochler // Kluwer Academic Pressю – New York, 2002. – P. 321.

9. Дружинін А. О. Дослідження фотоелектричних властивостей структур типу КНД / А. О. Дружинін, І. Т. Когут, І. С. Литвин, М. В. Тиханський, Ю. М. Ховерко / Вісник ДУ «Львівська політехніка» «Елементи теорії та прилади твердотілої електроніки». – 1998. – №325. – С. 53-57.

10.Druzhinin A. Impedance spectroscopy of polysilicon in SOI structures / A. Druzhinin, I. Ostrovskii, Yu. Khoverko, S. Nichkalo, I. Kogut // Physica Status Solidi (C) Current Topics in Solid State Physics. – 2014.– P. 156-159.

11.Claeys C. Perspectives of silicon-on-insulator technologies for cryogenic electronics / C. Claeys, E. Simon // Perspectives, Science and Technologies for Novel Silicon on Insulator Devices. Kluwer Academic Publishers. – Dordrecht, 2000. – Vol. 73. – P. 233-247.

12.Druzhinin A. Magneto-transport properties of poly-silicon in SOI structures at low temperatures / A. Druzhinin, I. Ostrovskii, I. Kogut, Yu. Khoverko, R. Koretskii, Yu. Kogut // Materials Science in Semiconductor Processing. – 2015. – Vol. 31. – P. 19-26.

13.Bulgheroni A. Monolithic active pixel detector realized in silicon on insulator technology / A. Bulgheroni, M. Caccia, K. Domanski etc // Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment. – 2004. – P. 398-403.

14. Druzhinin A. Silicon-on-insulator structure for sensors electronics / A. Druzhinin, I. Kogut, Yu. Khoverko // Press in Lviv Polytechnic National University. –Lviv, 2013. – P. 236.

15. Druzhinin A. The Device-Technological Simulation of The Field-Emission Micro-Cathodes Based on Three-Dimensional SOI-Structures / A. Druzhinin, V. Holota, I. Kogut, S. Sapon, Yu. Khoverko // The Electrochemical Society. – 2008. – Vol. 14. – P. 569-580.

16. Когут І. Т. Елементи аналітичних мікросистем-на-кристалі на основі тривимірних КНІ-структур / І. Т. Когут, А. О. Дружинін, В. І. Голота, В. В. Довгий // Збірник тез 5-тої української наукової конференції з фізики напівпровідників. – Ужгород, 2011. – С.190.

17. Довгий В. В. Розробка і моделювання елементів аналітичної мікросистеми-на-кристалі зі структурами “кремній-на-ізоляторі” / В. В. Довгий, І. Т. Когут, В. І. Голота // “Фізика хімія твердого тіла”. – Івано-Франківськ, 2016. – № 2. – С. 275-280.

18. Дружинін А. О. Сенсори фізичних величин на основі структур “кремній-на-ізоляторі” з рекристалізованим шаром полікремнію / А. О. Дружинін, І. Й. Мар’ямова, І. Т. Когут, І. С. Литвин, Ю. М. Ховерко // Сенсорна електроніка та мікросистемні технології. – №4(2008). – С. 42-53.

19. Когут І. Т. Архітектура і елементи сенсорної мікросистеми на основі КНІ базового матричного кристаллу / І. Т. Когут, А. О. Дружинін, В. І. Голота // Відкрита наукова конф. проф.-викл. складу інституту телекомунікацій, радіоелектроніки та електронної техніки НУ ЛП. – 2009.– С. 11.

20. Pindl S. A 130-nm channel length partially depleted SOI CMOS-technology / S. Pindl, J. Berthold, T. Huttner, S. Reif, D. Schumann, H. Philipsborn // IEEE Trans ED. – 1999. – Vol. 46. – P. 1562-1566.

22. Igor Kogut., Victor Holota., Taras Benko., Anatoliy Druzhinin., Yuriy Khoverko. Development of Inverter Circuits with Dual Control Subchannel Areas of Integral CMOS Sensor Element // Physics and Chemistry of Solid State this link is disabled, 2021. P. 729–733

23. Kogut I. T. A sensitive element of the integrated pressure sensor based on the SOI CMOS –transistors / I. T. Kogut // Дев'ята міжнародна конференція з фізики і технології тонких плівок. – Івано-Франківськ, 2003. – Т.2. – С. 182-184.

24. Буджак Я. С. Тестовий контроль ВІС / Я. С. Буджак, І. Т. Когут, С. П. Новосядлий // Навчально-методичний посібник. – Львів, 1996. – С. 24.

25. Дружинін А. О. Твердотільна електроніка. Фізичні основи властивості напівпровідникових приладів / А. О. Дружинін // Навчальний посібник. – Львів:Видавництво Національного університету «Львівська політехніка». – 2009. – С. 332.

26. Мар'ямова І. Й. Температурні характеристики тонких шарів полікремнію / І. Й. Мар'ямова, І. Т. Когут, О. П. Кутраков, І. М. Панкевич, Ю. М. Ховерко // Матеріали VI міжнародної конференції з фізики і технології тонких плівок. – Івано-Франківськ, 1997. – т.1. – С. 153.

27. Druzhinin A. Polysilicon-on-insulator layers at cryogenic temperatures and high magnetic fields / A. Druzhinin, I. Maryamova, I. Kogut, Yu. Pankov, Yu. Khoverko, T. Palewski // Science and Technology of Semiconductor-On-Insulator Structures and Devices Operating in a Harsh Environment. – Kluwer Academic Publishers, 2005. – P. 297-302.

28. Obermeier E. Polysilicon as a material for microelectronic applications / E. Obermeier, P. Kopystinsky // Sensors and Actuators, 30A. – 1992. – P. 149-155.

29. Дружинін А. О. Дослідження низькотемпературних характеристик шарів полікремнію-на-ізоляторі для створення сенсорів теплових і механічних величин / А. О. Дружинін, І. Й. Мар'ямова, І. Т. Когут, Ю. М. Ховерко // Сенсорна електроніка і мікросистемні технології. – №2(2006). – С. 10-15.

30. Дружинін А. О. Полікремній на ізоляторі як матеріал для створення сенсорів, працездатних у широкому інтервалі температур / А. О. Дружинін, І. Й. Мар'ямова, І. Т. Когут, Ю. М. Ховерко, С. М. Матвієнко // Міжнародна науково-технічна конференція “Сенсорна електроніка та мікросистемні технології”. – Одеса, 2004. – С. 238.

32.Kogut I.T.,Dovhyi V.V., Benko T.H. Layouts Design Features of Matrix Elements with “Kink-Effect” Control for Microsystems-on-Chip”// XVII international Freik conference on physics and technology of thin films and nanosystems.. Ivano-Frankivsk, May 20-25, 2019. – P.283.

33.Kogut I.T., Holota V.I., Benko T.H. The Simulation of Integrated Capacitive SOI Elements for Sensor Microsystem-on-Chip”// XVII international Freik conference on physics and technology of thin films and nanosystems.. Ivano-Frankivsk, May 20-25, 2019. – P.284.

34.Okuto Y. Threshold energy effects on avalanche breakdown voltage in semiconductor junctions / Y. Okuto, C. R. Crowell // Solid-State Electronics. – 1975. – Vol. 18. – P. 161–168.

35.Anatoly Druzhinin, Igor Ostrovskii, Yuriy Khoverko, Victor Holota, Igor Kogut, Taras Benko. Frequency response in polycrystalline silicon films of SemOI-structures. // 15th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET - 2020), Lviv-Slavske, Ukraine, February 25-29, 2020. – P. 6.

36.Akino T. A high-speed domino CMOS full adder driven by a new unified-BiCMOS inverter / T. Akino, K. Matsuura, A. Yasunaga // Proceedings of ISCAS'2005. – 2005. – P. 452-455.

37.Когут І. Т. Використання біполярного ефекту при подвійному управлінні в матричних КМОН КНІ приладних структурах / І. Т. Когут, В. В. Довгий // Збірник матеріалів 12 Міжнародної конференції ФТТПН. – Івано-Франківськ: ДВНЗ “Прикарпатський національний університет ім. В. Стефаника”. – 2009. – С. 195-197.

38.Taras Benko. Simulation specialized sensor elements for non-invasive electronic biomedical devices.// 56th Confrence of Student’s Scientific Cirles.Krakow, 2019.-P.214.

39.Damiano John Jr. Active body bias for low-power silicon-on-insulatoe design / John Damiano Jr. // A dissertation submitted to the Graduate Faculty of



North Carolina State University in partial fulfilment of the requirements for the Degree of Doctor of Philosophy. – 2006.

40. Bellaouar A. Low-power digital VLSI design. Circuits and systems / A. Bellaouar // Absellafit Bellaouar, Mohamed I. Elmasry. – Boston: Kluwer Academic Publishers. – 1996. – P. 530.

41. Sicard E. Advanced CMOS cell design / E. Sicard, S. Delmas // McGraw-Hill. – New-York, 2007. – P. 383.

42. Razavi B. CMOS Technology Characterization for Analog and RF Design / B. Razavi // IEEE Journ. on Solid-State Circuits. – 1999. – Vol. 34. – P. 268-276.

43. Когут І. Т. КНІ КМОН інвертор / І. Т. Когут // Матеріали десятої міжнародної конференції ФТТП. – Івано-Франківськ, 2005. – С. 155-156.

44. Котик М.В., Когут І.Т., Бенько Т.Г. Моделювання елементів мікросистем-на-кристалі зі структурами "кремній-на-ізоляторі" для біометричних досліджень. // Інформаційні технології та комп'ютерне моделювання. – 2019. С. 218..

45. Akino T. Driving capability by lateral BJT-CMOS inverter / T. Akino // Proceedings of SASIMI2003. – 2003. – P. 265-271.

46. Akino T. High speed and low energy CMOS inverter powerfully driven by lateral BJT / T. Akino // Proceedings of Karuiawa Workshop on Circuits and Systems. – Japanese, 2003. – P. 79-84.

47. Akino T. High speed and low energy lateral BJT-CMOS inverter / T. Akino // Proceedings of SASIMI2004. – 2004. – P. 73-76.

48. Sutherland I. Logical Effort - Designing Fast CMOS Circuits / I. Sutherland, B. Sproull, D. Harris // Morgan Kaufmann Publishers. – 1999.

49. Parke S. A. A high-performance lateral bipolar transistor fabricated on SIMOX / S. A. Parke, C. Hu and P. K. Ko // IEEE Electron Devic Lettes. – 1993. – vol. 14, no. 1. – P. 33-35.

50. Akino T. A Clock Generator Driven by a Unified-CBiCMOS Buffer Driver for High Speed and Low Energy Operation / T. Akino, T. Hamahata // 16th International Workshop, PATMOS 2006. – France, 2006. – P. 225-236.

51. Когут І. Т. Особливості проектування вихідних каскадів КМОН інтегральних схем з КНІ-структурою / І. Т. Когут, В. В. Довгий, В. І. Голота // “Східно-Європейський журнал передових технологій”. – Харків, 2011. – № 6/9. – С. 11-14.

52. Kogut I. T. Research outputs cascades of CMOS gate array with silicon-on-insulator structure. / I. T. Kogut, V. V. Dovich // Proceedings of the 10<sup>th</sup> International Conference “Modern problems of radio engineering, telecommunications and computer science “TCSET’2010”. – Lviv-Slavske: Lviv Polytechnic National University, 2010. – P. 359.

53. Taur Y. Fundamentals of Modern VLSI Devices / Y. Taur, T. H. Ning // Cambridge University Press. – 1998.

54. Kang S-M. K. CMOS Digital Integrated Circuits: Analysis and Design / S-M. K. Kang, Y. Leblebici // 2nd Edition. – WCB/McGraw-Hill. – 1999.

55. Kubo M. Perspective on BiCMOS VLSI’s / M. Kubo, I. Masuda, K. Miyata, K. Ogiue // IEEE Journal of Solid-State Circuits. – 1988. – vol.23. – P. 5-11.

56. Sun S. W. A 0.4-micron fully complementary BiCMOS technology for advanced logic and microprocessor applications / S. W. Sun, P. G. Y. Tsui, B. M. Somero, J. Klein, F. Pintchovski, J. R. Yeargain, B. Pappert // IEEE IEDM Teh. Dig. – 1991. – P. 85-88.

57. Kim C. Low-voltage electronics for the stimulation of biological neural networks using fully complementary BiCMOS circuits / C. Kim, K. D. Wise // IEEE Journal of Solid-State Circuits. – 1997. – vol.32. – P. 1483-1490.

58. Verdonckt-Vandebroek S. High-gain lateral bipolar action in a MOSFET structure / S. Verdonckt-Vandebroek, S. Wong, J. Woo, P. Ko // IEEE Tans. Electron Devices. – 1991. – vol. Ed-38. – P. 2487-2496.

59. Li Yupu. SIMOX: processing, layer parameters design, and defects control / Li Yupu, A. Nejm, R. J. Chater [et all] // Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms. – Vol. 99, Issues 1-4. – 1995. – P. 479-483.

60. Патент №4675 України на корисну модель. Спосіб формування контактної-металізованої системи в інтегральних схемах / І. Т. Когут, С. П. Новосядлий, Ю. Л. Бірковий – МПК H01L 21/28, опубл. 15.09.94.

61. Collinge J. P. Physical and Technical Problems of SOI Structures and Devices / J. P. Collinge, V. S. Lysenko, A. N. Nazarov // Kluwer Academic Publishers, NATO ASI Series 3: High Technology. – 1995. – Vol.4. – P. 41-42.

62. Голота В. І. Сучасний стан і напрямки досліджень нанометрової літографії / В. І. Голота, А. О. Дружинін, І. Т. Когут // Вісник НУ "Львівська політехніка". – Електроніка, 2006. – №558. – С. 20-28.

63. Xie X. Fabrication of silicon-on-insulator-multilayer structure by epitaxial layer transfer / X. Xie, W. Liu, Q. Lin [et all] // Physica B: Condensed Matter. – 2003. – Vol. 336, Issues 3-4. – P. 344-348.

64. Патент №11379 України на корисну модель. Спосіб виготовлення великих інтегральних схем / С. П. Новосядлий, Ю. Л. Бірковий, І. Т. Когут, О. В. Насипайко – МПК H01L 21/18, опубл. 15.12.94.

65. Патент №36463 України на корисну модель. Спосіб виготовлення тривимірних структур «кремній-на-ізоляторі» / І. Т. Когут, В. І. Голота, А. О. Дружинін, С. В. Сапон – опубл. 27.10.2008, бюл. №20

66. Когут І. Т. Сучасні технології формування КНІ-структур / І. Т. Когут, А. В. Трач, А. Р. Варцаб'юк // Тези XI міжн. конф. «Фізика і технологія тонких плівок і наносистем». – Івано-Франківськ, 2007. – С. 184-185.

67. Голота В. І. Приладно-технологічне моделювання мікроелектронних пристроїв на основі локальних КНІ-структур / В. І. Голота, І. Т. Когут, С. В. Сапон, А. Р. Варцаб'юк // Нові технології. – 2008. – №2 (20). – С. 205.

68. Голота В. І. Приладно-технологічне моделювання мікроелектронних пристроїв на основі локальних КНІ-структур / В. І. Голота, І. Т. Когут, С. В. Сапон, А. Р. Варцаб'юк // Матеріали електронної техніки та сучасні інформаційні технології: 3-я міжнар. наук.-прак. конф. МЕТІТ-3. – Кременчук, 2008. – С. 99-100.

69. Когут І. Т. Архітектура й елементи інтегрованої мікросистеми на базовому матричному кристалі з КНІ-структурою / І. Т. Когут, А. О. Дружинін, В. І. Голота // Вісник. нац. університету “Львівська політехніка”. – 2009. – №646: Електроніка. – С. 86-95.

70. Druzhynin A. O. The device-technological simulation of the local three-dimensional SOI-structures for microsystem applications / A. O. Druzhynin, V. I. Holota, I. T. Kogut // Fifth Workshop of the Thematic Network on Silicon-On-Insulator, Technology, Devices and Circuits (EUROSOI-2009) Conf. Proc. – Goteborg, Sweden, 2009. – P. 103-104.

71. Druzhinin A. O. The device elements for monolithic integrated SoC based on the local 3D SOI-structures / A. O. Druzhinin, V. I. Holota, I. T. Kogut // ULIS-2009. – Aachen, Germany, 2009. – P. 18-20.

72. Holota V. High sensitive active MOS photodetector on local 3D SOI-structure / V. Holota, I. Kogut, A. Druzhinin, Yu. Khoverko // Advanced Materials Research, Trans Tech Publications. – Switzerland, 2014. – Vol. 854. – P. 45-47.

73. Druzhinin A. Medical pressure sensors on the basis of silicon microcrystals and SOI layers / A. Druzhinin, E. Lavitska, I. Maryamova // Sensors and Actuators, B: Chemical, 58. – 1999. – P. 415-419.

74. S. Li C. Electrical Characterization of Silicon-On-Insulator Materials and Devices / C. Li, S. Li // Kluwer Academic Publishers. – Dordrecht, 1995. – P. 381.

75. Druzhinin A. Mechanical sensors based on laser-recrystallized SOI structures / A. Druzhinin, E. Lavitska, I. Maryamova, V. Voronin // Sensors and Actuators, A: Physical, 61 (1-3). – 1997. – P 400-404.

76. Voronin V. A. Laser-recrystallized polysilicon layers in sensors / V. A. Voronin, A. A. Druzhinin, I. I. Marjamova, V. G. Kostur, Ju. M. Pankov // Sensors and Actuators: A. Physical, 30 (1-2). – 1992. – P. 143-147.

77. Kamins T. Polycrystalline Silicon for Integrated Circuits and Displays / T. Kamins // Kluwer Academic Publishers. – Dordrecht, 1998. – P. 378.

78. Wilson S. Sensor Technology / S. Wilson // Handbook, Elsevier's Science & Technology Rights Department in Oxford. – 2005. – P. 703.

79.Lu N. Modelling and optimization of monolithic polycrystalline silicon resistors / N. Lu, L. Gerzberg, Y. Lu, J. Meindl // IEEE Trans. Electron Devices. – 1981. – Vol. ED–28, №7. – P. 818–830.

80.Druzhynin A. Policilicon in SOI-Structures as a material for sensor application in the wide temperature range / A. Druzhynin, I. Kogut, V. Holota, Yu. Khooverko // Modern Problems of Radio Engineering, Telecommunications and Computer Science, Proceedings of the 13<sup>th</sup> International Conference on TCSET'2016. – 2016. – P. 357-360.

81.Volodymyr Hryha, Taras Benko, Stepan Melnychuk, Lesya Nykolaichuk, Ludmyla Hryha, Orest Volynskyi. Development and Modelling of Devices for Squaring Numbers on FPGA //Information technology and computer modeling(ITCM). – 2020. – P. 163.

82.Tai Ya-Li. Local oxidation Fin-Field-Effect-Transistor Structure for Nanodevices Applications / Ya-Li Tai, JamWen Lee, Chen-Hsin Lien // JJAP. – 2010. – Vol. 49. – P. 1–5.

83.Whaley D. R. Application of field emitter arrays to microwave power amplifiers / D.R. Whaley, B.M. Gannon, C.R. Smith [et all] // IEEE Transaction on Plasma Science. – 2000. – Vol. 28, Issue: 3. – P. 727-747.

84.Бенько Т.Г. Моделювання і дослідження характеристик операційного підсилювача на основі комірок БМК в середовищі MicroWind для сенсорних мікросистем.//V Міжнародно науково-практична конференція"Актуальні питання сучасної науки"- 2020. С. 40.

85.Патент №18536 України на корисну модель. Спосіб формування топологічних зображень мікроелектронних пристроїв / І. Т. Когут, А. О. Дружинін В. І. Голота – опубл. 15.11.2006. – Бюл. №11.

86.Когут І. Т. Оптимізація формування структур “кремній-на-ізоляторі” з лазерною рекристалізацією полікремнієвого шару / І. Т. Когут // Матеріали міжнародної конференції з ФТТП. – Івано-Франківськ, 1999. – С.72-73.

87. Когут І. Т. Особливості методу дослідження надійності структур “кремній-на-ізоляторі” / І. Т. Когут // Вісник ДУ “Львівська політехніка”. Сер. Елементи теорії та прилади твердотілої електроніки. – 1998. – №325. – С. 78-81.

88. Druzhynin A. Digital CMOS ARRAY based on SOI Structures / A. Druzhynin, I. Kogut // Electron Technology. – Warsaw, 1999. – No.1/2. – V. 32 – P. 142–145.

89. Патент № 34277 України на корисну модель. Спосіб формування локальних тривимірних КНІ-структур / І. Т. Когут, В. І. Голота, А. О. Дружинін, С. В. Сапон – опубл. 27.10.08, бюл. №20.

90. Патент № 43198 України на корисну модель. Метод формування герметизованих порожнин в кремнієвих пластинах / І. Т. Когут, В. І. Голота. – опубл. 15.08.2008, бюл. №15.

91. Kogut I. T. Simulation of non-standard multilayer 3D SOI-Structures and Microcavities / I. T. Kogut, A. A. Druzhinin, V. I. Holota, V. V. Dovichij // EUROSIOI-2011 Conf. proceeding of VII Workshop of the Thematic Network on Silicon on Insulator Technology, Devices and Circuits'. – Granada, SPAIN, 2011. – P. 63-64.

92. Kogut I. T. 3D SOI elements for system-on-chip applications / I. T. Kogut, A. A. Druzhinin, V. I. Golota // Proc. Of the 1-st Ukrainian-French Seminar “Semiconductor-on-Insulator Materials, Devices and Circuits: Physics, Technology and Diagnostics” and 6-th International SemOI Workshop “Nanoscaled Semiconductor-on-Insulator Materials, Sensor and Devices”. – Kyiv, Ukraine, 2010. – P. 46-47.

93. Мандзюк В. І. Основи мікросистемної техніки” / В. І. Мандзюк, І. Т. Когут // Навчальний посібник. – Івано-Франківськ, 2008. – С. 124.

94. Дружинін А. О. Приладно-технологічне моделювання нанорозмірних тривимірних КНІ-структур / А. О. Дружинін, І. Т. Когут, В. І. Голота, В. В. Довгий // Вісник НУ «Львівська політехніка». – Львів, 2011.– № 708 – С. 55-64.

95. Патент № 65226 України на корисну модель. Спосіб виготовлення нестандартних «кремній-на-ізоляторі»-структур / І. Т. Когут, В. І. Голота, А. О. Дружинін, В. В. Довгий – МПК С30В 31/00, опубл. 25.11.2011, бюл. №22.

96. Kogut I. T. The device-technological simulation of local 3D SOI-structures / I. T. Kogut, V. I. Holota, A. O. Druzhinin, V. V. Dovhij // NATO Advanced Research Workshop “Functional Nanomaterials and Devices for Electronics, Sensors, Energy Harvesting”. – Lviv, 2015. – P. 17-18.

97. Kogut I. T. The Computer Simulation of 3DSOI-Structures for Sensitive Elements / I. T. Kogut, V. I. Holota, V. V. Dovhij, A. I. Terletsy, O. B. Fryk // Materials of ICTTFN– XIV “International conference “Physics and technology of thin films and nanosystems”. – Ivano-Frankivsk: Vasyl Stefanyk Precarpathian National University, 2013. – P. 459-462.

98. Когут І. Т. Локальні КНІ-структури – перспективний матеріал для інтегрованих мікросистем-на-кристалі // Журнал «Фізика і хімія твердого тіла». – 2008. – №1. – С. 164-172.

99. Когут І. Т. Конструктивно-технологічні властивості КМОН КНІ БМК з мікрозонною лазерною рекристалізацією полі кремнію // Вісник національного університету “Львівська політехніка”. – 1999. – №362: Елементи теорії та прилади твердотільної електроніки. – С. 25–30.

100. Tuinenga P. W. SPICE. A guide to Circuit Simulation & Analysis PSpice / P. W. Tuinenga // – NJ: Prentice Hall, Englewood Cliffs, 1993. – P. 217.

101. Angelov G. V. Optimization and simulation of the EKV model using MatLab / G. V. Angelov, K. K. Asparuhova // Conf. “Electronics 2007. – Sozopol, Bulgaria, 2007. – P. 19-21.

102. Sicard E. Deep-submicron CMOS circuit design: Simulator in hands / E. Sicard, S. Delmas Bendhia // Brooks/Cole Publishing Company. – 2003. – P. 737.

103. Патент № 62994 України на корисну модель. Комірка базового матричного кристала / А. О. Дружинін, І. Т. Когут, В. І. Голота, Ю. М. Ховерко, В. В. Довгий, А. М. Вуйцик – МПК G01В 7/16(2006.01), G01L 9/14(2006.01), опубл. 26.09.2011, бюл. №18/2011.

104. Dovich V. V. SOI MOS-transistor with the parted gate / V. V. Dovich // Materials of ICTTFN-XIII “International conference “Physics and technology of thin films and nanosystems”. – Ivano-Frankivsk: Vasyl Stefanyk Precarpathian National University, 2011. – vol.2 – P. 269.

105. Kogut I. T. The device-technological simulation of local 3D SOI-structures / I. T. Kogut, V. I. Holota, A. A. Druzhinin, V. V. Dovich // “Journal of Nano Research”. – Switzerland, 2015. – Vol. 39 – P. 228-234.

106. Laconte J. Micromachined Thin-Film Sensors for SOI-CMOS Co-Integration / J. Laconte, D. Flandre, J-P. Raskin // Springer Science & Business Media. – 2006. – P. 17-45.

107. Colinge J. P. Physical and Technical Problems of SOI Structure and Devices / J. P. Colinge, V. S. Lysenko, A. Nazarov // NATO Science Partnership Sunseries: 3. – Springer, New York, 2004. – P. 290.

108. Druzhinin A. Polysilicon on Insulator Structures for Sensor Application at Electron Irradiation & Magnetic Fields / A. Druzhinin, I. Maryamova, I. Kogut, Yu. Khoverko // Advanced Materials Research 276. – 2011. – P. 109–116.

109. Sasaki M. Three dimensional SOI-MEMS constructed by buckled bridges and vertical comb drive actuator / M. Sasaki, D. Briand, W. Noell, N. F. de Rooij, K. Hane // IEEE Journal of Selected Topics in Quantum Electronics. – 2004. – P. 455-461.

110. Lee M. M. Shape modification toroidal structure / M. M. Lee, M. C. Wu // Microelectromech. Sys. 15. – 2006. – P. 338.

111. Kogut I. T. 3D SOI elements for system-on-chip applications / I. T. Kogut, A. A. Druzhinin, V. I. Holota // Advanced Materials Research 276. – 2011. – P. 137-144.

112. <http://www.microwind.org>

113. Druzhinin A. Electrical and layouts simulation of analytical microsystem-on-chip elements for high frequency and low temperature applications / A. Druzhinin, Yu. Khoverko, V. Dovich, I. Kogut, V. Holota // UkrMiCo'2016. – Kyiv, 2016. – P. 29-32.



114. Dovhij V. Architecture development and elements simulation of analytical microsystem-on-chip with "silicon-on-insulator" structures / V. Dovhij, V. Holota, I. Kogut // Proceedings of the 13<sup>th</sup> International Conference "TCSET'2016". – Lviv-Slavske: Lviv Polytechnic National University, 2016. – P. 368-372.

115. Kogut I. T. Layouts features of SOI CMOS gate matrix arrays / I. T. Kogut, V. V. Dovhij // Materials of ICTTFN–XIII "International conference "Physics and technology of thin films and nanosystems". – Ivano-Frankivsk: Vasyl Stefanyk Precarpathian National University, 2011. – vol. 2 – P. 275.

116. Kogut I. T. Simulation of 3D SOI-Structures for MEMS elements / I. T. Kogut, A. A. Druzhinin, V. I. Golota, V. V. Dovhij // Proceeding of DTIP Symposium on Design, Test, Integration & Packaging of MEMS/MOEMS - DTIP 2011. – Aix-en-Provence, France, 2011. – P. 53-56.

117. Druzhinin A. CMOS Image Sensor on Microcavities and Local SOI-Structures / A. Druzhinin, V. Holota, I. Kogut, V. Dovhij, Y. Khoverko // Proceedings of the 11<sup>th</sup> International Conference "TCSET'2012" Dedicated to the 60<sup>th</sup> Anniversary of the Radio Department at the Lviv Polytechnic National University. – Lviv-Slavske: Lviv Polytechnic National University, 2012. – P. 525.

118. Когут І. Т. Структура системи на кристалі з тривимірними КНІ МОН-елементами / І. Т. Когут, А. О. Дружинін, В. І. Голота, В. В. Довгий // Зб. мат. 5-ої міжнародної конференції "Advanced Computer Systems and Networks: Design and Application". – Львів, 2011. – С. 16-21.

119. Kogut I. T. Schematic and topological elements optimization of transfer signals circuits for analytical Microsystems-on-Chip / I. T. Kogut, V. V. Dovhij, V. I. Holota // Materials of ICPTTFN–XV International conference "Physics and technology of thin films and nanosystems". – Ivano-Frankivsk: Vasyl Stefanyk Precarpathian National University, 2015. – P. 307.

120. Довгий В. В. Схемотопологічне моделювання перетворювачів рівнів сигналів для аналітичних мікросистем-на-кристалі / В. В. Довгий, І. Т. Когут, В. І. Голота // Журнал "Фізика хімія твердого тіла". – Івано-Франківськ: ДВНЗ

“Прикарпатський національний університет ім. В. Стефаника”, 2015. – № 2 – С. 403-407.

121. Довгий В. В. Моделювання базового елемента операційного підсилювача на основі матричної комірки для аналітичних мікросистем-на-кристалі / В. В. Довгий, І. Т. Когут, В. І. Голота // Міжнародна науково-практична конференція «Інформаційні технології та комп'ютерне моделювання». – Івано-Франківськ, 2016. – С. 204-205.

## ДОДАТКИ

Додаток А

### СПИСОК ОПУБЛІКОВАНИХ ПРАЦЬ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

*Публікації, що індексується в міжнародних наукометричних базах:*

1. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Yuriy Khooverko. Method of reducing CMOS inverter switching energy // Applied Nanoscience (Switzerland). 2023. V. 13, Issue 12. P. 7501-7511.

DOI: [10.1007/s13204-023-02929-9](https://doi.org/10.1007/s13204-023-02929-9)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85167511707&origin=resultslist>

2. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Yuriy Khooverko. Development of Inverter Circuits with Dual Control Subchannel Areas of Integral CMOS Sensor Element // Physics and Chemistry of Solid State, 2021. P. 729-733.

DOI: [10.15330/PCSS.22.4.729-733](https://doi.org/10.15330/PCSS.22.4.729-733)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85122241374&origin=resultslist>

3. Novosiadly S.P. Benko T.H. Kogut I.T. Features of electrophysical diagnostics of schottky field transistors based on GaAs epitaxial layers on silicon substrates for microsystem applications\_// Physics and Chemistry of Solid State. 2019. V. 20, N. 3. P. 311-317.

DOI: [10.15330/pcss.20.3.311-317](https://doi.org/10.15330/pcss.20.3.311-317)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85147471180&origin=resultslist>

4. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Yuriy Khooverko. Simulation an integrated sensor as an element of CMOS inverter // Experience of Designing and Application of CAD Systems in Microelectronics. 2021. Article number 9385245. P. 15-18.

DOI: [10.1109/CADSM52681.2021.9385245](https://doi.org/10.1109/CADSM52681.2021.9385245)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85104519283&origin=resultslist>

5. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Yuriy Khoverko. Magnetoconductance of Polycrystalline Silicon in SemOI-structures for Sensors Application // International Conference on Perspective Technologies and Methods in MEMS Design. 2021. P. 98-101.

DOI:[10.1109/MEMSTECH53091.2021.9468079](https://doi.org/10.1109/MEMSTECH53091.2021.9468079)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85116356339&origin=resultslist>

*Публікації в збірках наукових конференцій:*

6. Stepan Novosiadlyi, Volodymyr Mandzyuk, Volodymyr Hryha, Andriy Terletsy, Taras Benko, Volodymyr Lukovkin. Modified Pearson model for high-energy multi-charge implantation and impurity activation for sensor microsystems // 40th IEEE International Conference on Electronics and Nanotechnology, ELNANO 2020. 2020. Article number 9088870. P. 315-318.

DOI:[10.1109/ELNANO50318.2020.9088870](https://doi.org/10.1109/ELNANO50318.2020.9088870)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85086311334&origin=resultslist>

7. Igor Kogut, Victor Holota, Taras Benko, Anatoliy Druzhinin, Volodymyr Pavlysh, Yuriy Khoverko. Simulation of Sensor Capacitive Elements Built Into the Microsystem-On-Chip // 40th IEEE International Conference on Electronics and Nanotechnology, ELNANO 2020. 2020. Article number 9088744. P. 211-215.

DOI:[10.1109/ELNANO50318.2020.9088744](https://doi.org/10.1109/ELNANO50318.2020.9088744)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85086312564&origin=resultslist>

8. Anatoly Druzhinin, Igor Ostrovskii, Yuriy Khoverko, Victor Holota, Igor Kogut, Taras Benko. Frequency response in polycrystalline silicon films of SemOI-structures // 15th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering, TCSET 2020, Lviv-Slavske, Ukraine, February 25-29. 2020. Article number 9088678. P. 551-554.

DOI:[10.1109/TCSET49122.2020.235493](https://doi.org/10.1109/TCSET49122.2020.235493)

URL: <https://www.scopus.com/record/display.uri?eid=2-s2.0-85086306615&origin=resultslist>

9. Volodymyr Hryha, Taras Benko, Stepan Melnychuk, Lesya Nykolaichuk, Ludmyla Hryha, Orest Volynskyi. Development and Modelling of Devices for Squaring Numbers on FPGA //Information technology and computer modeling (ITCM). 2020. P. 163.

10. Когут І.Т. Бенько Т.Г. Грига В.М. Моделювання і дослідження характеристик операційного підсилювача на основі комірок БМК сенсорних мікросистем // Інформаційні проблеми комп'ютерних систем, юриспруденції, енергетики, моделювання та управління (ISCM). 2020. С. 80-84.

11. Бенько Т.Г. Моделювання і дослідження характеристик операційного підсилювача на основі комірок БМК в середовищі MicroWind для сенсорних мікросистем. //V Міжнародна науково-практична конференція “Актуальні питання сучасної науки”. 2020. С. 40.

12. Benko Taras, Novosiadliy Stepan. Thin-film silicon field-effect transistors for sensor microsystems // Impatto dell'innovazione sulla scienza: aspetti fondamentali e applicati. 2020. P. 156-164.

13. Benko Taras, Novosiadliy Stepan, Kohut Igor. Homostructural bipolar transistors for submicron and sensor structures // XI International Scientific and Practical Conference «Perspectives of World Science and Education». 2020. P. 18-24.

14. Benko Taras, Novosiadliy Stepan, Kohut Igor. Homostructural field transistor on gallium arsenide for sensor microsystems // Paradigmatic view on the concept of world science. – 2020. – P. 138-142.

15. Бенько Т.Г. Обмеження вертикальних розмірів і формування шаруватих структур транзисторів для сенсорних мікросистем // Міжнародна наукова інтернет-конференція «Інформаційне суспільство: технологічні, економічні та технічні аспекти становлення».-2020. С.87-90.  
Конференція

16. Бенько Т.Г. Горизонтальні конфігурації і мінімізація горизонтального розміру субмікронних транзисторів// IV Міжнародна наукова-практична конференція «Наука та технології».2020. С. 87-90.

17. Новосядлий С.П., Бенько Т.Г. Гомоструктурні польові транзистори для сенсорних мікросистем на фосфіді індію // Міжнародна наукова конференція проблеми та перспективи реалізації та впровадження міждисциплінарних наукових досягнень. 2020. С. 52-55.

18. Benko Taras, Kohut Igor, Hryha Volodymyr, Dolishniak Oksana. Recursive devices of binary data sorting devices //XI International Scientific Conference “Functional base of nanoelectronics” 2020. P. 35-39.

19. Котик М.В., Когут І.Т., Бенько Т.Г. Моделювання елементів мікросистем-на-кристалі зі структурами “кремній-на-ізоляторі” для біометричних досліджень // Інформаційні технології та комп’ютерне моделювання. 2019. С. 218. конференція

20. Kogut I.T.,Dovhyi V.V., Benko T.H. Layouts Design Features of Matrix Elements with “Kink-Effect” Control for Microsystems-on-Chip”// XVII International Freik Conference on Physics and Technology of Thin Films and Nanosystems. Ivano-Frankivsk, May 20-25, 2019. P. 283.

21. Kogut I.T., Holota V.I., Benko T.H. The Simulation of Integrated Capasitive SOI Elements for Sensor Microsystem-on-Chip”// XVII international Freik conference on physics and technology of thin films and nanosystems. Ivano-Frankivsk, May 20-25, 2019. P. 284.

22. Новосядлий С.П., Бенько Т.Г., Луковкін В.В. Метод гетерної епітаксії як основа зниження дефектності епі-шарів для сенсорних мікросистем на кристалі // Тридцять друга всеукраїнська практично-пізнавальна конференція "Наукова думка сучасності і майбутнього". Дніпро 2019. С. 14.

23. Taras Benko. Simulation specialized sensor elements for non-invasive electronic biomedical devices.// 56th Confrence of Student’s Scientific Cirles. Krakow, 2019. P. 214.